

(19)



JAPANESE PATENT OFFICE

Reference 5

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 08321745 A

(43) Date of publication of application: 03.12.96

(51) Int. Cl.

H03H 17/00

H03H 17/00

G10H 1/02

G10H 7/02

H03G 5/02

H03H 17/02

(21) Application number: 07330105

(22) Date of filing: 19.12.95

(30) Priority: 20.03.95 JP 07 61320

(71) Applicant: FUJITSU LTD

(72) Inventor: YAMAGUCHI SHOJI
NAITO AYUMI
MIYADAI TOMOHARU

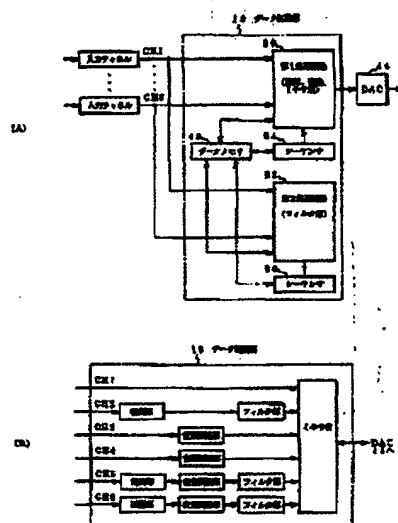
(54) AUDIO DATA PROCESSOR

(57) Abstract:

PURPOSE: To attain the processing of audio data with excellent general-purpose performance at a high speed.

CONSTITUTION: Plural digital audio input channels CH1-CH6 are connected in parallel and data of each input channel are processed individually in time division for a period T_u depending on a standardized unified sample frequency 44.1kHz. designated mixing is conducted and outputted from a D/A converter 44 in the data processing circuit 10. The data processing circuit 10 conducts interpolation processing when the unified sample frequency 44.1kHz and the sound source sample frequency of audio data differ. The audio data processing circuit 10 uses logic circuits acting like a multiplier pipeline circuit and an adder/subtractor pipeline circuit.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-321745

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/00	6 2 1	8842-5 J	H 0 3 H 17/00	6 2 1 Z
	6 1 1	8842-5 J		6 1 1 Z
G 1 0 H 1/02			G 1 0 H 1/02	
7/02			H 0 3 G 5/02	Z
H 0 3 G 5/02		8842-5 J	H 0 3 H 17/02	6 6 1 E
審査請求 未請求 請求項の数29 O L (全 50 頁) 最終頁に続く				

(21) 出願番号 特願平7-330105

(22) 出願日 平成7年(1995)12月19日

(31) 優先権主張番号 特願平7-61320

(32) 優先日 平7(1995)3月20日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 山口 彰治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 内藤 歩

神奈川県横浜市港北区新横浜二丁目15番16

株式会社富士通コンピュータテクノロジー内

(74) 代理人 弁理士 竹内 進 (外1名)

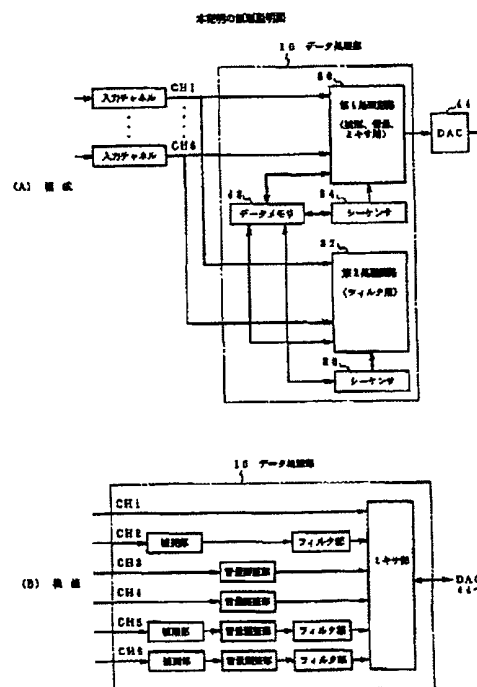
最終頁に続く

(54) 【発明の名称】 オーディオデータ処理装置

(57) 【要約】

【課題】 高速処理が可能で、且つ汎用性に優れたオーディオデータの処理が実現できる。

【解決手段】 複数のデジタルオーディオ入力チャネルCH1～CH6を並列的に入力接続し、規格化された統一サンプル周波数44.1kHzで決まる周期Tu毎に、各入力チャネルのデータを時分割で個別に処理した後指定された混合を行ってDAコンバータ44からラインアウトするデータ処理回路10を設ける。データ処理回路10は、統一サンプル周波数44.1kHzとオーディオデータの音源サンプル周波数が相違する場合、補間処理を行う。データ処理回路10としては乗算パイプライン回路と加減算パイプライン回路を備えたロジックを使用する。



1

【特許請求の範囲】

【請求項1】 1又は複数のオーディオ情報を入力してデータ処理を施して出力するオーディオデータ処理装置に於いて、

オーディオ情報を入力する複数の入力チャネルと、
前記複数の入力チャネルを並列的に入力接続し、規格化された所定の統一サンプル周波数で決まる周期 T_u 毎に、前記各入力チャネルのオーディオデータに必要なデータ処理を時分割で個別に行った後に混合して出力するデータ処理回路と、を備えたことを特徴とするオーディオデータ処理装置。

【請求項2】 請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、前記統一サンプル周波数と前記オーディオデータの音源サンプル周波数が相違する場合、前記入力チャネルのオーディオデータを前記統一サンプル周波数のデータに変換する処理を行うことを特徴とするオーディオデータ処理装置。

【請求項3】 請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、前記統一サンプル周波数と前記オーディオデータの音源サンプル周波数が相違する場合、前記統一サンプル周波数に同期して補間データを演算して統一サンプル周波数のオーディオデータに変換することを特徴とするオーディオデータ処理装置。

【請求項4】 請求項3記載のオーディオデータ処理装置に於いて、前記データ処理回路は、曲線近似に基づいて前記補間データの演算を行うことを特徴とするオーディオ情報処理装置。

【請求項5】 請求項4記載のオーディオデータ処理装置に於いて、前記データ処理回路は、直線近似に基づいて前記補間データの演算を行うことを特徴とするオーディオデータ処理装置。

【請求項6】 請求項5記載のオーディオデータ処理装置に於いて、前記データ処理回路は直線近似に基づいた前記補間データの演算のため、

前記（音源）サンプル周期毎に、少なくとも3つの連続するサンプルデータを保持する保持部と、

前記保持部に保持された少なくとも3つの連続するサンプルデータに基づいて演算が可能な遅延時間を有して、前記保管時間位置を算出する時間位置演算部と、

前記保持部に保持されたサンプルデータと時間位置演算部で算出された補間時間位置に基づいて補間データを演算する補間演算と、

を備えたことを特徴とするオーディオデータ処理装置。

【請求項7】 請求項5記載のオーディオデータ処理装置に於いて、前記データ処理回路は、直線近似に基づいた前記補間データの演算のため、

前記サンプル周期毎に、少なくとも連続する3つのサンプルデータ $S(n)$ 、 $S(n-1)$ 及び $S(n-2)$ を保持するデータ保持部と、

2

前記音源サンプル周期 T_s を統一サンプル周期 T_u で割った商に1を加えて、統一サンプル周期 T_u に達した際に、補間データを算出する過去の周期までの遅延周期数 N_d を設定する遅延周期数設定部と、

前記音源サンプル周期 T_s 毎にクリアされ、所定の基本クロックを計数してカウント値 cnt を出力するカウンタと、

前記基本クロックが得られる毎に、前記統一サンプル周期 T_u に前記遅延周期数 N_d を乗じた値（ $T_u * N_d$ ）から前記カウンタ値 cnt と音源サンプル周期 T_s を減算して補間データの演算に使用する第1の時間位置 $CT1$ を算出する第1時間位置演算部と、

前記基本クロックが得られる毎に、前記統一サンプル周期 T_u に前記遅延周期数 N_d を乗じた値から前記カウンタ値 cnt を減算して補間データの演算に使用する第2の時間位置 $CT2$ を算出する第2時間位置演算部と、

前記統一サンプル周期 T_u に前記遅延周期数 N_d を乗じた値（ $T_u * N_d$ ）と前記音源サンプル周期 T_s との差 ΔT を前記カウンタ値 cnt と比較し、前記カウンタ値 cnt が前記差 ΔT 以下の場合は、前記第1時間位置 $CT1$ を補間時間位置 C として選択すると共に1つ前のデータ $S(n-1)$ と2つ前のデータ $S(n-2)$ を新旧データ A 、 B として選択し、前記カウンタ値 cnt が前記差 ΔT を越えていた場合は、前記第2時間位置 $CT2$ を補間時間位置 C として選択すると共に現在のデータ $S(n)$ と1つ前のデータ $S(n-1)$ を新旧データ A 、 B として選択する切替選択部と、

前記統一サンプル周期 T_u に達する毎に、前記切替選択部で選択された新旧データ A 、 B と補間時間位置 C に基づいて直線近似に基づく補間データ X を演算する補間演算部と、を備えたことを特徴とするオーディオデータ処理装置。

【請求項8】 請求項7記載のオーディオデータ処理装置に於いて、前記補間演算部は、新旧2つのデータを A 、 B 、補間時間位置を C 、音源サンプル周期 T_s を D とした場合、補間データ X を、

$$X = A - (A - B) C / D$$

として算出することを特徴とするオーディオデータ処理装置。

【請求項9】 請求項2記載のオーディオデータ処理装置に於いて、前記データ処理部は、前記入力データの音源サンプル周期 T_s を計測し、該計測結果に応じて異なった変換処理を行うことを特徴とするオーディオデータ処理装置。

【請求項10】 請求項9記載のオーディオデータ処理装置に於いて、前記データ処理部は、前記入力データの音源サンプル周期 T_s を計測し、前記統一サンプル周期 T_u との比（ T_s / T_u ）が整数分の1の場合、前記統一サンプル周期 T_u の間に存在する音源サンプル周期 T_s 毎のデータを除去する間引き処理を行うことを特徴とする

るオーディオデータ処理装置。

【請求項11】請求項9記載のオーディオデータ処理装置に於いて、前記データ処理部は、前記入力データの音源サンプル周期 T_s を計測し、前記統一サンプル周期 T_u との比(T_s/T_u)が整数倍の場合、前記音源サンプル周期 T_s の間の前記統一サンプル周期 T_u の位置にゼロデータを入れて補間することを特徴とするオーディオデータ処理装置。

【請求項12】請求項9記載のオーディオデータ処理装置に於いて、前記データ処理部は、前記入力データの音源サンプル周期 T_s を計測し、前記統一サンプル周期 T_u との比(T_s/T_u)が非整数倍または非整数分の1の場合、前記音源サンプル周期 T_s の間の前記統一サンプル周期 T_u の位置に直線近似による補間データを入れて直線補間することを特徴とするオーディオデータ処理装置。

【請求項13】請求項12記載のオーディオデータ処理装置に於いて、前記データ処理回路は、直線近似に基づいた前記補間データの演算のため、

前記音源サンプル周期毎に、少なくとも連続する3つのサンプルデータ $S(n)$ 、 $S(n-1)$ 及び $S(n-2)$ を保持するデータ保持部と、

前記音源サンプル周期 T_s を統一サンプル周期 T_u で割った商に1を加えて、統一サンプル周期 T_u に達した際に、補間データを算出する過去の周期までの遅延周期数 N_d を設定する遅延周期数設定部と、

前記サンプルクロックが得られる毎にクリアされ、所定の基本クロックを計数してカウント値 cnt を出力するカウンタと、

前記基本クロックが得られる毎に、前記統一サンプル周期 T_u に前記遅延周期数 N_d を乗じた値($T_u * N_d$)から前記カウンタ値 cnt と音源サンプル周期 T_s を減算して補間データの演算に使用する第1の時間位置 $CT1$ を算出する第1時間位置演算部と、

前記基本クロックが得られる毎に、前記統一サンプル周期 T_u に前記遅延周期数 N_d を乗じた値から前記カウンタ値 cnt を減算して補間データの演算に使用する第2の時間位置 $CT2$ を算出する第2時間位置演算部と、

前記統一サンプル周期 T_u に前記遅延周期数 N_d を乗じた値($T_u * N_d$)と前記音源サンプル周期 T_s との差 ΔT を前記カウンタ値 cnt と比較し、前記カウンタ値 cnt が前記差 ΔT 以下の場合、前記第1時間位置 $CT1$ を補間時間位置 C として選択すると共に1つの前のデータ $S(n-1)$ と2つ前のデータ $S(n-2)$ の2つを新旧データ A 、 B として選択し、前記カウンタ値 cnt が前記差 ΔT を越えていた場合は、前記第2時間位置 $CT2$ を補間時間位置 C として選択すると共に現在のデータ $S(n)$ と1つ前のデータ $S(n-1)$ の2つを新旧データ A 、 B として選択する切替選択部と、

前記統一サンプル周期 T_u に達する毎に、前記切替選択

部で選択された新旧データ A 、 B と補間時間位置 C に基づいて直線近似に基づく補間データ X を演算する補間演算部と、を備えたことを特徴とするオーディオデータ処理装置。

【請求項14】請求項13記載のオーディオデータ処理装置に於いて、前記補間演算部は、新旧2つのデータを A 、 B 、補間時間位置を C 、音源サンプル周期 T_s を D とした場合、補間データ X を、

$$X = A - (A - B) C / D$$

として算出することを特徴とするオーディオデータ処理装置。

【請求項15】請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、入力データに設定された音量係数を乗算して音量調整されたデータを出力することを特徴とするオーディオデータ処理装置。

【請求項16】請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、入力データを規定レベルに補正した後に、設定された音量係数を乗算して音量調整されたデータを出力することを特徴とするオーディオデータ処理装置。

【請求項17】請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、入力データに所定のフィルタ係数を乗算し、出力データを演算することを特徴とするオーディオデータ処理装置。

【請求項18】請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、入力データの高周波ノイズ成分を除去するローパスフィルタであり、有限インパルス応答に従ったフィルタ係数から出力データを演算することを特徴とするオーディオデータ処理装置。

【請求項19】請求項18記載のオーディオデータ処理装置に於いて、前記データ処理回路は、現在処理対象としている注目データを中心とした前後の時間軸上に存在する統一サンプル周期毎の所定次数分の入力データと、前記有限インパルス応答に従った固定次数のフィルタ係数の各積の総和により前記注目データのフィルタ出力データを演算することを特徴とするオーディオデータ処理装置。

【請求項20】請求項18記載のオーディオデータ処理装置に於いて、前記データ処理回路は、混合対象として選択された複数のデータを入力して加算することによりミキサ出力データを得ることを特徴とするオーディオデータ処理装置。

【請求項21】請求項1記載のオーディオデータ処理装置に於いて、前記データ処理回路は、前記複数チャンネル分のオーディオデータの補間、音量調整及び混合出力を前記統一サンプル周期 T_u 毎に時分割で行う第1処理回路と、

前記複数チャンネル分のフィルタ処理を前記統一サンプル周期 T_u 毎に時分割で行う第2処理回路と、を備えたことを特徴とするオーディオデータ処理装置。

【請求項22】請求項20記載のオーディオデータ処理装置に於いて、前記第1及び第2処理回路の各々は、複数の入力データ中の2つを選択した後に乗算する乗算パイプライン回路と、

複数の入力データ中の2つを選択した後に加算または減算する加減算パイプライン回路と、

前記乗算パイプライン回路及び加減算パイプライン回路との間で、入力データの読出しと出力データの書き込みを行うデータメモリと、

前記乗算パイプライン回路及び加減算パイプライン回路を、前記統一サンプル周期 T_u 内で動作させる制御パターンを基本クロック周期毎に格納した制御メモリと、

前記統一サンプル周期 T_u 毎に前記基本クロックの計数を繰り返してアドレスを生成し、該アドレスにより前記制御メモリから動作パターンを読み出して前記乗算パイプライン回路と加減算パイプライン回路による複数の入力チャンネル分の処理を時分割に行わせるシーケンスカウンタと、を備えたことを特徴とするオーディオデータ処理装置。

【請求項23】請求項21記載のオーディオデータ処理装置に於いて、

前記乗算パイプライン回路は、

複数の入力データの内の1つを選択する第1セレクトと、

複数の入力データの内の1つを選択する第2セレクトと、

前記1セレクトの出力を保持する第1レジスタと、

前記2セレクトの出力を保持する第2レジスタと、

前記第1レジスタと第2レジスタの値を乗算する乗算器と、

前記乗算器の出力を保持する第1出力レジスタと、を備え、

前記加減算パイプライン回路は、

複数の入力データの内の1つを選択する第3セレクトと、

複数の入力データの内の1つを選択する第4セレクトと、

前記1セレクトの出力を保持する第3レジスタと、

前記2セレクトの出力を保持する第4レジスタと、

前記第3レジスタと第4レジスタの値を加算又は減算する加減算器と、

前記加減算器の出力を保持する第2出力レジスタと、

前記第1出力レジスタ又は前記第2出力レジスタを選択するマルチプレクサを備えたことを特徴とするオーディオデータ処理装置。

【請求項24】請求項23記載のオーディオデータ処理装置に於いて、前記第1乃至第4のセレクト入力に、前記第1及び第2の出力レジスタの出力を必要に応じて帰還接続したことを特徴とするオーディオデータ処理装置。

【請求項25】請求項24記載のオーディオデータ処理装置に於いて、前記乗算器に続いて設けた第1出力レジスタ及び前記加減算器に続いて設けた第2出力レジスタはシフトレジスタとしての機能を有し、前記動作パターンにより出力動作が指定された場合、前記加減算器の出力データを保持し、前記動作パターンによりシフト動作が指定された場合は、保持したデータのシフトアップまたはシフトダウンを行うことを特徴とするオーディオデータ処理装置。

【請求項26】請求項22記載のオーディオデータ処理装置に於いて、フィルタ処理を行う前記第2処理回路の加減算パイプライン回路は、前記加減算器の出力を直接セレクト入力側に帰還接続したことを特徴とするオーディオデータ処理装置。

【請求項27】請求項22記載のオーディオデータ処理装置に於いて、前記第1及び第2の出力レジスタの入力側への帰還接続回路に、帰還データの一部をマスクするマスク回路を設けたことを特徴とするオーディオデータ処理装置。

【請求項28】請求項1記載のオーディオデータ処理装置に於いて、前記統一サンプル周波数は44.1kHzであり、前記統一サンプル周期 T_u は、その逆数であることを特徴とするオーディオデータ処理装置。

【請求項29】請求項1記載のオーディオデータ処理装置に於いて、前記複数の入力チャンネルは、PCM（ウェーブテーブル）音源モジュールの出力、FM音源モジュールの出力、アンプ及びADコンバータを備えたマイク入力回路の出力、外部接続されるCD装置の出力、外部接続されるオーディオ装置のデジタル出力、及びデータバスを介して外部接続される外部記憶装置の転送データを、各々入力接続することを特徴とするオーディオデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル音源からのオーディオデータを入力して必要なデータ処理を施した後にアナログ信号に変換してラインアウトするオーディオデータ処理装置に関し、特に、パイプライン化されたロジック回路を使用して多チャンネルのデジタル処理を時分割で行うようにしたオーディオデータ処理装置に関する。

【0002】

【従来の技術】近年、コンピュータ等のマルチメディア機器と呼ばれる機器では異なる複数のデジタル音源からのオーディオデータを再生できることが要求されており、これらの複数のデジタル音源からのオーディオデータをミキシングして出力する必要がある。特にコンピュータに要求されるデジタル音源は、異なる流れで設計された複数のデジタル音源があり、これらの全ての音源に対処できるデータ処理装置が要求される。

【0003】このように、異なる流れで設計された種々のデジタル音源は、それぞれ個別のサンプリング周波数で設計されているために、それぞれのサンプリング周波数に対応したデジタルアナログコンバータ(DAC)を用意する必要がある。例えば、PCM音源(ウェーブテーブル音源)と呼ばれる音源装置(ウエーブテーブルシンセシス)は、例えば8個の入力チャンネルがあり、それらの入力チャンネルに入力された同じサンプリング周期のオーディオデータを加算するものである。

【0004】このようなPCM音源に対処できるようにするためには、8kHz、16kHz、32kHz、48kHzといったサンプリング周波数に対応したDACを用意し、それぞれのDACから出力されたアナログ信号をトランジスタ等のアナログデバイスを用いてミキシングする。また、別の方法として、8kHz、16kHz、32kHz、48kHzといった周波数に切替え可能なDACを用意し、サンプリング周波数に応じてDACを動作させるクロック周波数を変更することにより、様々なPCMを再現している。

【0005】また、FM音源と呼ばれる音源装置は、正弦波信号の組み合わせで記録された情報と例えば55.5kHzというサンプリング周期のデジタル音源の形で出力される。更に、PCM音源と似た形式のもので、CDプレーヤーやデジタルオーディオテープのような連続した音声や音楽をPCMで記録したデジタルオーディオ音源があり、このデジタルオーディオ音源は例えば44.1kHzといった規格で規定されたサンプリング周期のオーディオデータが出力される。

【0006】

【発明が解決しようとする課題】このようにパーソナルコンピュータに要求される音源装置には、様々なサンプリング周期のデジタル音源があり、それぞれの音源に対応したDACを用意しなければならない。更に、これらの音源を同時に出力可能とする場合には、それぞれの音源に対応して設けられたDACから出力されるアナログオーディオデータをアナログデバイスを用いてミキシングしなければならない。その結果、集積技術が向上しているデジタルデバイスに対し、集積化が困難なアナログデバイスを用いなければならないので、種々の音源装置に対応すると、印刷配線基板上での音源回路が専有する面積が大きくなってしまう。

【0007】また、これのデジタル音源を装備し、音源回路の縮小を計る方法として、これらの種々のデジタル音源のサンプリング周波数に対応可能なDACを設け、種々のデジタル音源のオーディオデータをDACに選択的に入力する、つまり、デジタル的な選択回路を用いることによって、表面上はこれらの音源に対応可能とする方法がある。

【0008】しかし、このように選択的に出力可能とした装置では、同時に複数のデジタル音源を再生すること

ができないという欠点がある。このように複数のデジタル音源を再生することができないという欠点を補い、更に、音源回路を縮小する方法として、集積密度の向上が可能なデジタル回路で上述のミキシング回路を実現することが考えられる。

【0009】近年、コンピュータ等では異なる複数のデジタル音源からのオーディオデータが用いられており、各種オーディオデータに対して補間、音量調整、フィルタリング及びミキサ等の処理を、デジタルデータのまま対処できるデータ処理装置が要求されている。このように各種のオーディオ信号をデジタルデータで処理しようとする場合、音源が異なると音源サンプル周波数が異なるため、音源サンプル周波数を統一サンプルする必要がある。通常、音源側には出力サンプリング周波数を変更する手段はないので、コンピュータ側に設けたデジタルオーディオの処理装置で、44.1kHzや48kHz等の統一サンプル周波数に変換して出力する必要がある。

【0010】従来、オーディオ信号をデジタルデータとして処理する装置を構成しようとする場合は、完全なロジックで組むか、デジタル・シグナル・プロセッサ(DSP)によるソフトウェア的な手法で実現するのが一般的である。図39に従来のオーディオ信号のデジタル処理に使用されるロジック回路の一例を示す。ランダムロジックによって実現する場合は、演算の深さ、演算データの幅に応じてセレクト301、302、演算器303、304、305を直列に接続し、所望の処理を実現していた。特に音源サンプル周波数の異なる複数の音声データをミキシングするようなケースでは、音源サンプル周波数の公倍数となる高い周波数でのフィルタリングなどの演算処理が必要であったため、高速または複雑な演算回路を必要としている。

【0011】しかしながら、図39の従来装置にあっては、セレクト301、302、演算器303、304、305を直列に接続し、順番に演算を実施して所望のオーディオ処理を実現するため、処理速度の向上が期待できる一方で、ゲート規模が大きくなる問題がある。特に有限インパルス応答型のデジタルフィルタのように、何回にも亘って積和演算を反復しなければならないケースでは、ゲート規模の問題が顕著に現れる。

【0012】またデジタル・シグナル・プロセッサのソフトウェアで実現する場合は、柔軟性の高いオーディオデータの処理が実現できる一方、汎用性の高いものであるため、目的とする性能を最大限に引き出そうとする場合は、それに見合ったデジタル・シグナル・プロセッサを選択又は開発する必要が生じ、コストアップにつながる。また処理速度は、ランダムロジックと比較して劣る。

【0013】本発明は、このような背景に鑑みてなされたもので、高速処理が可能で、且つ汎用性に優れたオー

オーディオデータの処理が実現できるロジックを用いたオーディオデータ処理装置を提供することを目的とする。また本発明は、音源に依存して異なる音源サンプル周波数をもつオーディオデータを、44.1 kHzでの統一サンプル周波数に変換して出力するため、様々な補間処理を実現するロジック及びソフトで実現されるオーディオデータ処理装置を提供することを目的とする。

【0014】さらに本件は、上述の種々のデジタル音源回路と、これらの種々のデジタル音源のミキシングが可能な回路とを1つの集積回路に内蔵可能とする程度まで小形化したオーディオデータの処理装置を提供するものである。

【0015】

【課題を解決するための手段】図1は本発明の原理説明図であり、図1(A)にハードウェア構成を、また図1(B)に対応する機能構成を示す。まず本発明は、図1(A)に示すように、1又は複数のオーディオ情報を入力してデータ処理を施して出力するオーディオデータ処理装置を対象とし、オーディオ情報を入力する複数の入力チャンネルCH1~CH6と、複数の入力チャンネルCH1~CH6を並列的に入力接続し、規格化された所定の統一サンプル周波数44.1 kHzで決まる周期Tu毎に、各入力チャンネルCH1~CH6に必要なデータ処理を時分割で個別に行った後に混合して出力するデータ処理回路10を設けたことを特徴とする。

【0016】データ処理回路10は、統一サンプル周波数44.1 kHzとオーディオデータの音源サンプル周波数が相違する場合、入力チャンネルのオーディオデータを統一サンプル周波数44.1 kHzのサンプルデータに変換する処理を行う。即ち、データ処理回路10は、統一サンプル周波数44.1 kHzに対しオーディオデータの音源サンプル周波数が相違する場合、統一サンプル周波数に同期して補間データを演算して統一サンプル周波数のオーディオデータに変換する。この補間処理は、曲線近似に基づいた補間データの演算であり、具体的には、直線近似に基づいて補間データを演算する。

【0017】データ処理回路10は直線近似に基づいた前記補間データの演算のため、音源サンプル周期毎に、少なくとも3つの連続するサンプルデータを保持する保持部と、保持部に保持された少なくとも3つの連続するサンプルデータに基づいて演算が可能な遅延時間を有して、保管時間位置を算出する時間位置演算部と、保持部に保持されたサンプルデータと時間位置演算部で算出された補間時間位置に基づいて補間データを演算する補間演算と備える。

【0018】このようなデータ処理回路10における補間データの演算は、音源からリアルタイムで音源サンプリング周期Tsで出力されるオーディオデータを、統一サンプル周期Tuという非同期のタイミングでリアルタイムに処理可能とするため、即ち、書き込みを音源サン

ル周期Tsで、読出しを統一サンプル周期Tuで行うために、最低3つのサンプルデータ保持部が必要である。

【0019】また入力されたオーディオデータを統一サンプル周期Tuのタイミングでリアルタイムに処理するために、統一サンプル周期Tuの現在のタイミングよりも数周期前(Nd周期以上前)のデータを求めることが必要であることによる。更に具体的には、データ処理回路10は、直線近似に基づいた補間データの演算のため、データ保持部で、入力データの音源サンプル周期Ts毎に、少なくとも連続する3つのサンプルデータS(n)、S(n-1)及びS(n-2)を保持する。また遅延周期数設定部により、音源サンプル周期Tsを統一サンプル周期Tuで割った商に1を加えて、統一サンプル周期Tuに達した際に、補間データを算出する過去の周期までの遅延周期数Ndを設定する。更に、カウンタでサンプルクロックが得られる毎にクリアされ、所定の基本クロックを計数してカウンタ値cntを出力する。

【0020】更に、第1時間位置演算部は、基本クロックが得られる毎に、統一サンプル周期Tuに遅延周期数Ndを乗じた値(Tu*Nd)からカウンタ値cntとサンプル周期Tuを減算して補間データの演算に使用する第1の時間位置CT1を算出する。即ち、

$$CT1 = (Tu * Nd) - cnt - Tu$$

を算出する。

【0021】同時に、第2時間位置演算部が基本クロックが得られる毎に、統一サンプル周期Tuに遅延周期数Ndを乗じた値からカウンタ値cntを減算して、補間データの演算に使用する第2の時間位置CT2を算出する。即ち、

$$CT2 = (Tu * Nd) - cnt$$

を算出する。

【0022】補間データの演算に際しては、切替選択部で統一サンプル周期Tuに遅延周期数Ndを乗じた値(Tu*Nd)と音源サンプル周期Tsとの差ΔTをカウンタ値cntと比較する。即ち、

$$\Delta T = (Tu * Nd) - Ts$$

を求め、

$$\Delta T \geq cnt$$

を比較判別する。

【0023】カウンタ値cntが差ΔT以下の場合、第1時間位置CT1を補間時間位置Cとして選択する。またカウンタ値cntが差ΔTを越えていた場合は、第2時間位置CT2を補間時間位置Cとして選択する。また新旧データA、Bとして、1つ前のデータS(n-1)と2つ前のデータS(n-2)を選択する。またカウンタ値cntが差ΔTを越えていた場合は、第2時間位置CT2を補間時間位置Cとして選択する。また新旧データA、Bとして、現在のデータS(n)と1つ前のデータS(n-1)を選択する。

【0024】補間演算部は、統一サンプル周期Tuに達

する毎に、データ保持部に保持している現在のデータ $S(n)$ と1つ前のデータ $S(n-1)$ の新旧2つのデータ A 、 B と、切替選択部で選択された補間時間位置 C に基づいて直線近似に基づく補間データ X を演算する。即ち、補間演算部は、新旧2つのデータを A 、 B 、補間時間位置を C 、音源サンプル周期 T_s を D とした場合、補間データ X を、

$$X = A - (A - B) C / D$$

として算出する。これを具体的に現わすと、 $X = S(n-1) - \{ (S(n-1) - S(n-2)) C T_1 / T_s \}$ 又は $X = S(n) - \{ (S(n) - S(n-1)) C T_2 / T_s \}$ となる。勿論、算出された補間データは、現在時点より遅延周期数 N_d だけ前のデータである。

【0025】この直線補間処理は、音源サンプル周波数が予め判っており、音源サンプル周期 T_s と統一サンプル周期 T_u の非整数倍または非整数分の1にあることを前提に、各統一サンプル周期における補間タイミングの変化を考慮して音源サンプル周期 T_s 内でのデータ補間の時間位置と前後のサンプルデータから補間データを適切に算出できる。

【0026】一方、データ処理回路10は、サンプルデータの周期が判らない場合もあることから、本発明は、入力データの音源サンプル周期 T_s を計測する。そして、データ処理回路10は、計測した音源サンプル周期 T_s との比 (T_s / T_u) が整数分の1の場合、統一サンプル周期 T_u の間に存在する音源サンプル周期毎のデータを除去する間引き処理を行う。

【0027】また統一サンプル周期 T_u との比 (T_s / T_u) が整数倍の場合、音源サンプル周期 T_s の間の統一サンプル周期 T_u の位置にゼロデータを入れて補間する所謂ゼロ詰め補間を行う。更に、統一サンプル周期 T_u との比 (T_s / T_u) が非整数倍の場合には、音源サンプル周期 T_s の間の統一サンプル周期 T_u の位置に直線近似による補間データを入れて直線補間する。この直線近似の詳細は前述した通りである。

【0028】データ処理回路10の音量調整処理としては、入力データに設定された音量係数を乗算して音量調整されたデータを出力する。またデータ処理回路10は、入力データを規定レベルに補正した後に、設定された音量係数を乗算して音量調整されたデータを出力するようにしてもよい。データ処理回路10のフィルタ処理としては、入力データに所定のフィルタ係数を乗算し、出力データを演算する。具体的なデータ処理回路10のフィルタ処理としては、現在処理対象としている注目データを中心とした前後の時間軸上に存在する統一サンプル周期毎の所定次数分の入力データと、有限インパルス応答に従った固定次数のフィルタ係数の各積の総和により、注目データのフィルタ出力データを演算する。

【0029】データ処理回路10のミキサ処理としては、混合対象として選択された複数のデータを入力して

加算する。データ処理回路10をロジックで実現する場合、複数チャンネル分のオーディオデータの補間、音量調整及び混合出力を統一サンプル周期 T_u 毎に時分割で行う第1処理回路80と、複数チャンネル分のフィルタ処理を統一サンプル周期 T_u 毎に時分割で行う第2処理回路82を設ける。

【0030】第1及び第2処理回路80、82の各々は、複数の入力データ中の2つを選択した後に乗算する乗算パイプライン回路と、複数の入力データ中の2つを選択した後に加算または減算する加減算パイプライン回路を備える。また乗算パイプライン回路及び加減算パイプライン回路との間で、入力データの読出しと出力データの書込みを行うデータメモリを備える。

【0031】各パイプライン回路の制御動作は、制御メモリ48とシーケンサ46、48のシーケンスカウンタを使用して行う。制御メモリは、乗算パイプライン回路及び加減算パイプライン回路を、統一サンプル周期 T_u 内で動作させる制御パターンを基本クロック周期毎に格納している。シーケンスカウンタは、統一サンプル周期 T_u に達する毎にクリアされ、統一サンプル周期 T_u 毎に基本クロックの計数を繰り返して制御メモリのアクセスアドレスを生成し、制御メモリから動作パターンを読み出して乗算パイプライン回路と加減算パイプライン回路に、複数チャンネル分の処理を時分割に行わせる。

【0032】ここで、乗算パイプライン回路は、複数の入力データの内の1つを選択する第1セレクトと、複数の入力データの内の1つを選択する第2セレクトと、第1セレクトの出力を保持する第1レジスタと、第2セレクトの出力を保持する第2レジスタと、第1レジスタと第2レジスタの値を乗算する乗算器と、乗算器の出力を保持する第1出力レジスタで構成される。

【0033】また加減算パイプライン回路は、複数の入力データの内の1つを選択する第3セレクトと、複数の入力データの内の1つを選択する第4セレクトと、第1セレクトの出力を保持する第3レジスタと、第2セレクトの出力を保持する第4レジスタと、第3レジスタと第4レジスタの値を加算又は減算する加減算器と、加減算器の出力を保持する第2出力レジスタと、第1出力レジスタ又は第2出力レジスタを選択するマルチプレクサで構成される。

【0034】セレクト入力には、第1及び第2の出力レジスタの出力を必要に応じて帰還接続する。第1出力レジスタ及び第2出力レジスタは、シフトレジスタとしての機能を有し、動作パターンにより出力動作が指定された場合、加減算器の出力データを保持した後に、シフトアップ又はシフトダウンを行い、出力データを簡単に倍または半分にすることができる。

【0035】フィルタ処理を行う第2処理回路の加減算パイプライン回路は、加減算器の出力を直接セレクト入力側に帰還接続したことを特徴とする。また第1及び第

2の出力レジスタの入力側への帰還接続回路に、帰還データの一部をマスクするマスク回路を設ける。複数の入力チャンネル回路は、ウェーブテーブル音源として知られたPCM音源モジュールの出力、FM音源モジュールの出力、アンプ及びADコンバータを備えたマイク入力回路の出力、外部接続されるCD装置の出力、外部接続されるオーディオ装置のデジタル出力、及びデータバスを介して外部接続される外部記憶装置を転送データを、各々入力接続する。

【0036】このようにロジックで実現したデータ処理回路は、乗算と減算のパイプライン演算ができ、これにより演算速度が飛躍的に高められる。例えばフィルタ処理の積和計算の繰返しについては、現在の乗算と、前回の乗算結果の加算がパイプライン処理によりループしながら並行して演算できる。また補間処理は減算、乗算、減算であり、音量調整は乗算2回であり、更にミキサ出力は複数回の加算であり、乗算と減算のパイプライン演算を適切に組合わせることで、多チャンネル分の処理を、統一サンプル周期毎に効率良く演算し、異なる音源サンプル周波数のデジタルオーディオデータを、統一

周波数44.1kHzに統一できる。

【0037】更に、計算量の多いフィルタ処理については、補間、音量調整、ミキサ出力の第1処理回路に対し第2処理回路として別のハードウェア構成をとったことで、比較的低速（低消費電流及び低コスト）の演算素子を使っても、余裕をもった処理ができる。

【0038】

【発明の実施の形態】

<目次>

1. 装置構成と機能
2. データ処理回路のロジック構成と制御
3. オーディオデータの処理
 - (1) 補間処理
 - (2) 音量調整処理
 - (3) フィルタ処理
 - (4) ミキサ処理
 - (5) 他の実施形態
4. 音源サンプル周波数の計測と補間処理
5. 音量調整制御

1. 装置構成と機能

図2は本発明のオーディオデータ処理装置の全体的なブロック構成を示した実施形態である。

【0039】図2において、データ処理部10は複数のチャンネル入力CH1～CH6を有し、各チャンネルCH1～CH6から入力するデジタルオーディオデータを統一サンプル周波数44.1kHzとして処理する。データ処理部10に入力するデジタルオーディオデータの音源サンプル周波数は、音源により様々である。統一サンプル周波数44.1kHzより低い音源サンプル周波数のデジタルオーディオデータについては、補間処理により

統一サンプル周波数44.1kHzのデジタルオーディオデータに変換して、音量調整、フィルタリング、ミキサ等の必要な処理を行う。また統一サンプル周波数44.1kHzより高い周波数の音源サンプル周波数をもつデジタルオーディオデータについては、間引き処理により統一サンプル周波数44.1kHzのデジタルオーディオデータに変換する。

【0040】図2の実施形態にあつては、データ処理部10に対する入力チャンネルCH1としては、PCM音源モジュール22を接続している。ウェーブテーブルメモリ20を使った複数チャンネル同時発生PCM音源モジュール22は、CPU12の指示に従って音源出力を行う。データ処理部10の入力チャンネルCH2にはFM音源モジュール24が接続される。FM音源モジュール24はCPU12の制御に基づき、効果音、楽器音を模したFM方式による複数チャンネル同時発生の音源出力を行う。

【0041】データ処理部10の入力チャンネルCH3には、マイク入力端子28からの音声信号がアンプ32で増幅された後、ADコンバータ32でシリアルデジタルオーディオデータに変換されて入力される。データ処理部10の入力チャンネルCH4にはCDシリアルデータ入力端子34が接続され、光ディスクドライブによるCD装置で再生したデジタルオーディオ信号が入力される。このCDシリアルデータ入力端子34に対するデジタルオーディオ信号の音源サンプル周波数は、44.1kHzである。また前段にADPCMデコーダを設けてCD-ROM-XAから出力される18.9kHzまたは37.8kHzの音声信号も入力することができる。。

【0042】データ処理部10の入力チャンネルCH5には、AUX入力端子35が接続される。AUX接続端子35からはビデオ、CDなどのデジタルオーディオ信号等化入力される。データ処理部10のチャンネルCH6は入力用のチャンネルと出力用のチャンネルをもち、それぞれFIFO40、42を介してバスインタフェースモジュール38と接続し、バスインタフェースモジュール38をバス18に接続している。バス18はメインメモリ14とDMAコントローラ16に接続され、DMAコントローラ16の制御によりメインメモリ14との間でデジタルオーディオデータのデータ転送を行うようにしている。

【0043】このバス18により転送されるオーディオデータの音源サンプル周波数は8kHzから48kHzの範囲にあり、ステレオ信号またはモノラル信号のいずれかとなる。チャンネルCH6の出力側については、チャンネルCH1～CH5から入力したデジタルオーディオ信号または入力した複数のデジタルオーディオ信号の混合結果を外部メモリに出力してファイル等に格納するため

データは、例えば16ビットのデータ幅をもち、統一サンプル周波数44.1kHzに従った統一サンプル周期Tuごとに直列変換してDAコンバータ44に出力し、アナログオーディオ信号に変換してL/R出力端子46よりラインアウトする。このL/R出力端子46から出力されるデジタルオーディオ信号は、入力チャネルCH1~CH6の音源サンプル周波数が統一サンプル周波数44.1kHz以外の周波数であっても、データ処理部10による処理で全て44.1kHzの統一サンプル周波数に変換された後に、DAコンバータ44でアナログ

オーディオ信号に変換されることになる。
 【0044】データ処理部10の内部には入力チャネルCH1~CH6からのデジタルオーディオデータの補間、音量調整、フィルタリング、ミキサ等の処理に必要な各種のパラメータを予め記憶したデータメモリ48が設けられる。またデータメモリ48は、処理の途中でデータを一時記憶して次の処理に引き渡すデータバッファとしても使用される。

【0045】更にデータ処理部10に対しては、補間用カウンタ回路50が設けられている。補間用カウンタ回路50には、基本クロックCL1、統一クロックCL2、及び補間対象とする音源サンプル周波数に対応したサンプルクロックCL3が供給されている。ここで基本クロックCL1の周波数を例えば16.9344MHzとする。そこで、統一サンプル周波数44.1kHzの統一クロックCL2のクロック周期、即ち統一サンプル周期Tuを基本クロックCL1のクロック数で表わすと、 $Tu = 384$ クロックとなる。

【0046】サンプルクロックCL3は適宜の入力オーディオデータの音源サンプル周波数に対応して定まるが、この実施形態にあっては音源サンプル周波数を16kHzとした場合を例にとっている。音源サンプル周波数16kHzのサンプルクロックCL3のクロック周期、即ち音源サンプル周期Tsを基本クロックCL1の数で表わすと、 $Ts = 1058.4$ クロックとなる。

【0047】補間用カウンタ回路50は、サンプルクロックCL3が得られるごとに、内部に設けているカウンタをクリアし、次にサンプルクロックCL3が得られるまでの間、基本クロックCL1を計数してカウント値cntを求め、このカウント値cntに基づいて、補間計算に用いる補間データの時間的位置CTをデータ処理部10に供給している。この補間用カウンタ回路50の詳細については、後の補間処理の説明で明らかにされる。

【0048】図3は図2のチャネルCH1~CH6に対するデータ処理部10により実現されるデジタルオーディオデータの処理機能の機能ブロックである。まずPCM音源モジュール22の入力チャネルCH1については、必要な処理は全てPCM音源モジュール22側で済んでおり、PCM音源モジュール22の音源サンプル周波数も統一サンプル周波数44.1kHzの場合を例に

とっていることから、そのままミキサ部52に入力している。

【0049】FM音源モジュール24の入力チャネルCH2については、音源サンプル周波数が統一サンプル周波数44.1kHzになっていないことから、補間部54で補間処理を行って44.1kHzのサンプル周期のデータに変換した後、フィルタ部56で高周波ノイズを除去するローパスフィルタの処理を行ってミキサ部52に入力している。

【0050】マイク入力及びCDシリアルデータ入力となる入力チャネルCH3、CH4については、各々音源サンプル周波数が44.1kHzとなっていることから、補間処理は行わず、各々音量調整部57、58で音量調整を行った後にミキサ部52に入力している。AUX入力端子からのビデオデジタルオーディオデータを入力するチャネルCH5にあつては、例えば音源サンプル周波数が16kHzであることから、補間部60で44.1kHzに補間した後、音量調整部62で音量調整し、更に補間で生じた高周波ノイズを除去するローパスフィルタ処理をフィルタ部64で行った後にミキサ部52に出力している。

【0051】更にチャネルCH6の入力となるデータバスからのデジタルオーディオデータについては、FIFO40から例えば音源サンプル周波数8kHzで読み出し、補間部66で44.1kHzに補間した後、音量調整部68の音量調整、フィルタ部70によるローパスフィルタ処理を経て、ミキサ部52に供給している。更に、チャネルCH6の出力側については、ミキサ部52を介して得られた統一サンプル周波数44.1kHzのデジタルオーディオデータをフィルタ部72で元に戻した後、音量調整部70で音量調整し、更に逆補間部76で元の8kHzのサンプルデータに間引き処理等により戻し、最終的にL/Rミキサ78で混合し、出力用のFIFO42に出力する。

【0052】このようにデータ処理部10は、入力チャネルCH1~CH6の各々について固有のデジタルオーディオデータの処理を行い、最終的にミキサ部52で指定された混合を行って、DAコンバータ44にシリアルデジタルオーディオデータとして出力するものであるが、これら多チャネル入力に対し、この実施形態にあっては、補間処理、音量調整処理、ミキサ処理と、フィルタ処理の2つに分けて、専用の処理回路を設け、各処理回路を統一サンプル周波数44.1kHzの統一サンプル周期Tuごとに時分割で多重処理している。

2. データ処理回路のロジック構成と制御

図4は図2のデータ処理部10の内部回路の基本構成である。データ処理部10には外部入力される多チャネルのデジタルオーディオデータを対象に、補間、音量調整及びミキサの各処理を行う第1処理回路80と、同じく多チャネルの外部入力となるデジタルオーディオデータ

を対象にフィルタ処理を行う第2処理回路82を設けている。

【0053】第1処理回路80に対しては、多チャンネル分の補間、音量調整及びミキサ処理を統一サンプル周期Tuの間に1回行うため、また第2処理回路82に対しては、同一の周期Tuの間で必要なフィルタ演算を行うため、シーケンサ84が設けられている。データメモリ48は第1処理回路80及び第2処理回路82で共用されており、シーケンサ84によるアクセス要求の元に、第1処理回路80、第2処理回路82に対する必要とするデータの読み書きを行っている。また外部のDAコンバータ44に対する出力は、最終的に第1処理回路80のミキサ処理が行われることから、第1処理回路80側からの出力となる。

【0054】図5は図4のデータ処理部10に設けた第1処理回路80の実施形態である。第1処理回路80は、上側の乗算パイプライン回路80-1と下側の加減算パイプライン回路80-2で構成される。乗算パイプライン回路80-1は2系統の外部入力を個別に選択するセクタ88、90を有し、続いてレジスタ92、94を設けている。レジスタ92、94に続いては乗算器96が設けられ、2つのレジスタ入力を乗算している。乗算器96に続いては出力レジスタ98が設けられる。

【0055】また加減算パイプライン回路80-2は2系統の外部入力を個別に選択するセクタ100、102、2つのセクタ出力を保持するレジスタ104、106、2つのレジスタ入力の加算または減算を行う加減算器108、更にシフト機能付きのレジスタ110が設けられる。またシフト機能付きレジスタ110に続いては、乗算パイプライン回路80-1と加減算パイプライン回路80-2の出力を選択するマルチプレクサ112が設けられる。シフト機能付きレジスタ110の後には、更にシフト機能付きレジスタ113が設けられ、最終出力を保持した後にシフト動作を行い、シリアルデータとして外部DAコンバータ44に出力される。

【0056】乗算パイプライン回路80-1のセクタ90には、出力レジスタ98の出力が帰還されている。またレジスタ92の出力をセクタ88に帰還している。このような適宜の段のレジスタ出力の入力セクタへの帰還により、入力結果を再入力したり演算結果を再入力するループ処理が可能となる。乗算パイプライン回路80-1の出力レジスタ98の出力は加減算パイプライン回路80-2のセクタ100にも入力され、乗算パイプライン回路80-1の乗算結果を加減算パイプライン回路80-2に入力して、乗算に続き加算または減算ができるようにしている。

【0057】更に加減算パイプライン回路80-2にあっては、最終段の出力機能付きレジスタ110の出力のセクタ102の帰還に加えて加減算器108の出力を直接、セクタ102に帰還している。この結果、加減

算器108による演算結果を次の加減算に直ちにループすることができる。この加減算器108からの直接的なセクタ102に対する帰還接続は、後の説明で明らかにされるフィルタ処理で使用される。

【0058】加減算パイプライン回路80-2には更に、マスク用のANDゲート114が設けられている。ANDゲート114の一方にはシフト機能付きレジスタ110のデータが入力され、他方には適宜のマスクデータが入力され、セクタ102に帰還する出力データの一部をマスク可能としている。乗算パイプライン回路80-1及び加減算パイプライン回路80-2に対しては、統一クロック周波数44、1kHzの統一サンプル周期Tuで全てのチャンネル入力のデジタルオーディオデータについて、例えば図3のような各種の処理を実現するため、シーケンサ84が設けられている。シーケンサ84にはシーケンスカウンタ116が設けられる。

【0059】シーケンスカウンタ116は統一サンプルクロックCL2が得られることにクリアされ、次に統一サンプルクロックCL2が得られるまでの間、基本クロックCL1をカウントする。ここで基本クロックCL1として例えば16.9344MHzを使用していることから、統一サンプルクロックCL2の周期TuはTu=384クロックで表わすことができる。

【0060】シーケンスカウンタ116に対しては、フラッシュメモリ等の不揮発性メモリを使用した制御メモリ118が設けられる。制御メモリ118は統一サンプルクロックCL2の周期Tu=384に対応した制御アドレス0~383を有し、各制御アドレスにデジタルオーディオデータの補間処理、音量調整処理、ミキサ処理を実現するため、乗算パイプライン回路80-1及びまたは加減算パイプライン回路80-2の各回路部を動作するための例えばビット対応の制御情報が格納されている。

【0061】シーケンスカウンタ116の0~383のカウント値による制御メモリ118のアドレス指定によるアクセスは、直接アドレス0~383を指定してもよいし、所定のメモリ領域に変換された相対的なカウント値0~383で変化する相対アドレスを使用してもよい。制御メモリ118よりシーケンスカウンタ116の各カウントごとに読み出される制御データは、制御出力レジスタ120に供給される。制御出力レジスタ120は乗算パイプライン回路80-1及び加減算パイプライン回路80-2の各回路素子に対応したビット領域のビットデータに基づいた動作を行わせる。

【0062】例えばレジスタ92、94、98、104、106については、保持または非保持のいずれかであることから、制御出力レジスタの制御情報は1ビットでよい。またセクタ88、90、100、102はその入力数の選択を必要とするから、入力数の2進表示のビット数を制御ビットとすればよい。乗算器96は乗算

の有無であることから、1ビットでよい。また乗算器96を常時動作とすれば、ビット制御は不要である。

【0063】加減算器108については、加減算の選択に制御ビットが1ビット必要である。シフト機能付きレジスタ110は、保持動作の制御に1ビット、シフトアップ機能に1ビット、更にシフトダウン機能に1ビットの合計3ビットが必要である。マルチプレクサ112は、1ビットで切り替えることができる。このため制御出力レジスタ120としては、必要な制御パターンを合計したビット数分の幅、例えば64ビット幅を持つ。

【0064】更に制御メモリ118には、データメモリ48に対するリード、ライトのアクセス情報が格納されており、シーケンスカウンタ116のカウント値によるアドレス指定で制御出力レジスタ120に対する制御データの出力と同時に、メモリアクセスレジスタ122にメモリアクセスデータが出力される。メモリアクセスレジスタ122には、シーケンスカウンタ116のそのときのカウント値の動作に必要な乗算パイプライン回路80-1及び加減算パイプライン回路80-2に対するデータの読出しまたはデータの書き込みが指定される。

【0065】図6は、図5のシーケンスカウンタ116による統一サンプル周期 $T_u = 384$ クロックの1処理サイクルを取り出している。図6において、44、1kHzのサンプル周波数で決まる統一サンプル周期 $T_u = 384$ クロックの時間帯は、例えば基本クロックCL1の16クロックで1つのステートサイクルを構成し、 $T_u = 384$ クロックであることから、ステートサイクル1~24に分けることができる。

【0066】1つのステートサイクルは、ステートサイクル1に代表して示すように、基本クロックCL1の1クロックに対応して16ステートに分けられており、それぞれステート番号を16進で0~Fとしている。このような統一サンプル周期 T_u で決まる384クロックの処理を16ステートのステートサイクル1~24に分類しておくことで、統一サンプル周期 $T_u = 384$ クロックの中で例えば図3に示した6つのチャンネル入力CH1~CH6に要求される各データ処理を行うための制御データの割付けが容易にできる。

【0067】但し、図6のステート及びステートサイクルは、実際の制御メモリ118のシーケンスカウンタ116によるアクセスでは特に意識されていない。制御メモリ118にあっては、シーケンスカウンタ116より出力される0~383のカウント値で決まるアクセスアドレスを認識して、指定されたアクセスアドレスの制御データを制御出力レジスタ120に読み出してセットする処理を行うだけである。

【0068】図7は、図4のデータ処理部10のシーケンスカウンタ84、86による第1処理回路80、第2処理回路82の統一サンプル周期 $T_u = 384$ クロックにおける1回の処理内容である。まず $T_u = 384$ クロ

ックの処理期間は、前半の192クロックのL処理サイクル124と後半の同じく192クロックのR処理サイクル126で構成される。

【0069】L、Rのステレオデジタルオーディオデータの処理内容は全く同じになる。このため、前半のL処理サイクル124と後半のR処理サイクル126の制御メモリ118の制御内容は基本的に同じであり、R、L、Rデータに inputs のセレクトや制御メモリ48のリード/ライトが異なるだけである。このため図5のシーケンスカウンタ116にあっては、実際には統一クロックCL2でクリアした後に、基本クロックCL1を192カウントする処理を2回繰り返し、図7のL処理サイクル124とR処理サイクル126を実行することになる。

【0070】図7のL処理サイクル124は、下側に取り出して示すように、図4の第1処理回路80によるデータ処理128と第2処理回路82によるデータ処理180の並列処理となる。第1処理回路80によるデータ処理128は、例えばチャンネルCH2の補間処理、チャンネルCH3の音量調整処理、チャンネルCH4の音量調整処理、チャンネルCH5の補間処理、チャンネルCH5の音量調整処理、チャンネルCH6の補間処理、チャンネルCH6の音量調整、最後のミキサ処理の順番となる。

【0071】また第2処理回路82のデータ処理130については、チャンネルCH2のフィルタ処理、チャンネルCH4のフィルタ処理、及びチャンネルCH5のフィルタ処理となる。このようなデータ処理128、130の並列処理は、R処理サイクル126についても全く同じである。ここでデータ処理128の補間、音量調整、ミキサ処理については、チャンネルCH2~CH6の5チャンネル分が192クロックの間に十分に時分割処理できる。これに対しデータ処理130のフィルタ処理については、有限インパルス応答型のデジタルフィルタ処理であるため、フィルタの効果と精度を必要で充分なものとするための有限個のフィルタ係数を時間軸上に展開することにより、補間、音量調整、ミキサの処理に比べると、1つのフィルタ処理に要する時間が長くなり、そこで、フィルタ処理専用で第2処理回路82を割り当てている。

【0072】また図7のフィルタ処理128にあっては、各チャンネルごとに補間、音量調整、ミキサの処理領域を分けているが、処理の途中段階でデータメモリ48に対する処理結果の読み書きが可能であるため、補間処理、音量調整処理、ミキサ処理のそれぞれをステートサイクル単位に混在させた処理とすることも可能である。更に、データ処理128、130のいずれについても完全に192クロックの全ステートを使用する必要はなく、要求されたチャンネル入力数の範囲で192クロック内に処理が収まるように制御メモリ118を作成すればよい。

【0073】図8は、図5の乗算パイプライン回路80-1の基本的な動作のタイミングチャートである。このタイミングチャートは、セクタ80, 90で同じ入力データAを選択してレジスタ92, 94に格納した後に乗算器96で乗算して出力レジスタ98に格納する処理を例にとっている。即ち、統一クロック周期 $T_u = 384$ クロックをもつ図8(A)の基準クロックCL1に対し、図8(B)のシーケンスカウンタ116の値は16進で0~BFと変化する。図8(C)(E)(F)

(H)(I)には、レジスタ92の入力とロード、レジスタ94の入力とロード、更にレジスタ98のロードが示されている。

【0074】レジスタ92, 94, 98は、基本クロックCL1の立下がり動作する。図8(B)は、レジスタ92に対する入力となるセクタ88の入力データA, B, C, Dのセクタビットであり、シーケンスカウンタのカウンタ値1, 3, 5, 7で順番にセレクトされて、レジスタ92に図8(E)に示すようにロードされる。

【0075】レジスタ94側も、図8(F)(G)(H)に示すように、同じ入力データA, B, C, Dについて同様に動作する。そして図8(I)に示すように、出力レジスタ98にはシーケンスカウンタのカウンタ値1, 3, 5, 7のタイミングで乗算器96で乗算された値 $(A \times A)$, $(B \times B)$, $(C \times C)$, $(D \times D)$ が順次ロードされることになる。

【0076】図10は図5の乗算パイプライン回路80-1及び加減算パイプライン回路80-2における制御内容と、必要とするステート数即ち基本クロック数を示したもので、セレクトラッチ、乗算ラッチ、加減算ラッチ、メモリリード、メモリライト、出力ラッチ、出力セクタのいずれについても、1ステートで処理することができる。

3. オーディオデータの処理

(1) 補間処理

図10は、図2のデータ処理部10で行われるデジタルオーディオデータの補間処理の処理機能を示したブロック図である。図10の補間処理部は、データ保持部132、補間用カウンタ回路50及び補間演算部136で構成される。

【0077】データ保持部132は、シリアルデータとして入力されるオーディオ入力データをシリアル/パラレル変換器138でパラレルデータに変換した後、3段*

$$X = A - (A - B)C/D$$

図11は図10の補間処理の原理説明図である。実際の信号波形160の変化について、16kHzの音源サンプル周期 $T_s = D$ の間隔でサンプルデータが得られる。ここで前回のサンプルクロックCL3が時刻 $t-1$ で得られ、今回のサンプルデータAが時刻 t で得られたとする。このように連続する2つのデータA, Bが得られ

*に直列接続したレジスタ140, 142, 144に16kHzのサンプルクロックCL3に従って順次保持させる。このため、レジスタ140に保持されている現在データを $S(n)$ とすると、レジスタ142には1周期前のデータ $S(n-1)$ が保持され、レジスタ144には2周期前のデータ $S(n-2)$ が保持される。セクタ146, 148は、3つの連続する入力データ $S(n)$, $S(n-1)$, $S(n-2)$ の中から2つの新データと旧データを選択して補間演算部136に出力する。ここで補間演算部136に10入力する新データをA、1周期前の旧データをBとしている。

【0078】補間用カウンタ回路50はカウンタ150を有する。カウンタ150は16kHzのサンプルクロックCL3が得られるごとにカウンタ値cntを0にクリアし、次にサンプルクロックCL3が得られるまでの間、基本クロックCL1を計数する。即ち、カウンタ150はサンプルクロックCL3の音源サンプル周期 T_s ごとに $cnt = 0 \sim 1058.4$ の範囲で変化する。

【0079】カウンタ150に続いては、補間計算の際に補間データを求める音源サンプル周期 T_s 内の時間位置を求める第1時間位置演算部152と第2時間位置演算部154が設けられる。また第1時間位置演算部152の第1時間位置CT1と第2時間位置演算部154の第2時間位置CT2は、セクタ158に与えられる。

【0080】セクタ158は切替制御部156により切り替えられ、補間演算部136に対する補間時間位置Cとして第1時間位置CT1または第2時間位置CT2を供給する。同時に、切替制御部156はセクタ146, 148を選択する。即ち、第1時間位置CT1を選択した場合には、セクタ146, 148によりレジスタ142, 144からの1つ前のデータ $S(n-1)$ と2つ前のデータ $S(n-2)$ を補間演算部136に新データA, 旧データBとして入力する。

【0081】また第2時間位置CT2をセクタ158で選択した場合には、セクタ146, 148でセクタ140, 142の出力を選択し、現在のデータ $S(n)$ と1つ前の $S(n-1)$ を補間演算部136に新データA, 旧データBとして入力する。補間演算部136は、新データA, 旧データB及び時間位置C、更に16kHzのサンプルクロックCL3の音源サンプル周期 $T_s = D$ の4つのパラメータに基づき、次式に従って補間データXを演算する。

【0082】

(1)

ば、その間の任意の時間位置 t_x のデータXを直線補間により求めることができる。

【0083】この直線補間は前回のデータBと現在のデータAを結ぶ直線162の傾きを求め、時刻 t のデータAの位置から補間位置 t_x までの補間時間位置Cを求めればよい。このように新データA, 旧データB、音源サ

サンプル周期D及び補間時間位置Cが得られれば、前記(1)式により、補間データXを求めることができる。図11のサンプルデータXを求めるための時刻 t_x を示す補間時間位置Cは、統一クロック周波数が44.1kHzであり、また音源サンプル周波数が16kHzと割り切れない関係にあることから、例えば図12(A)のように、時刻 $(t-6) \sim (t+5)$ の統一サンプル周期 $T_u = 384$ に対し、16kHzのサンプルデータ $S(n-2) \sim S(n+2)$ の音源サンプル周期 $T_s = 1058.4$ クロックは毎回ずれるようになる。

【0084】このため、例えば図12(A)の現在時刻*

$$\begin{aligned} Nd &= \text{INT}(T_s / T_u) + 1 = \text{INT}(1058.4 / 384) + 1 \\ &= \text{INT}(2.75626) + 1 \\ &= 2 + 1 \\ &= 3 \end{aligned} \quad (2)$$

この(2)式は入力音源サンプル周期 T_s と統一サンプル周期 T_u の比 (T_s / T_u) の整数化した値に1を加えたものである。したがって、図12の入力音源サンプル周波数16kHzの周期 $T_s = 1058.4$ と統一サンプル周波数44.1kHzの周期 $T_u = 384$ の場合には、遅延周期数 $Nd = 3$ 周期として求めることができる。

【0086】このように現在時刻に対する補間対象となる遅延周期数 Nd が求まれば、例えば図12(A)の現在時刻 t 、 $t+1$ 、 $t+2$ の各々で補間する補間時刻は、時刻 $t-3$ 、 $t-2$ 、 $t-1$ となる。補間時刻 $t-\times$

$$CT2 = (Nd \times T_u) - cnt \quad (3)$$

となる。この実施形態では入力音源サンプル周波数16kHz、統一サンプル周波数44.1kHzであること★

$$\begin{aligned} CT2 &= (3 \times 384) - cnt \\ &= 1152 - cnt \end{aligned} \quad (4)$$

となる。この(4)式の第2時間位置 $CT2$ が図10の第2時間位置算出部154で算出されている。

【0088】一方、現在時刻が $t+2$ となったとき、次のサンプルデータ $S(n+1)$ が得られており、このとき

$$CT1 = \{ (Nd \times T_u) - cnt \} - T_s \quad (5)$$

これは入力音源サンプル周波数16kHz、統一サンプル周波数44.1kHzの場合には、

$$\begin{aligned} CT1 &= (3 \times 384 - cnt) - 1058.4 \\ &= 93.6 - cnt \end{aligned} \quad (6)$$

となる。即ち時間位置 $CT1$ は、統一サンプル周波数 T_u に遅延時間周期 Nd を掛け合わせた値から入力音源サンプル周期 T_s を差し引いた差、いわゆる $\Delta T = 93.6$ からサンプルタイミングでクリアされたカウンタ値 cnt の値を差し引いた値である。この(6)式の第1時間位置 $CT1$ が図10の第1時間位置演算部152で演算される。

【0089】更に、現在時刻 $(t+2)$ における時刻*

$$\{ (Nd \times T_u) - T_s \} \geq cnt \quad (7)$$

この比較演算は入力音源サンプル周波数16kHz、統一サンプル周波数44.1kHzの場合には、

$$\{ (3 \times 384) - 1058.4 \} \geq cnt \quad (8)$$

* t で補間処理を行う場合、1つ前のサンプルデータ $S(n)$ と1つ前の $S(n-1)$ の2つが必要であることから、その区間内の3つの統一サンプル周期 $T_u = 384$ クロックのタイミング $(t-3)$ 、 $(t-2)$ 、 $(t-1)$ の補間を行うことになる。即ち、現在時刻 t に対し統一クロック周期 T_u の3周期分前の時刻のデータ補間を行うことになる。

【0085】この現在時刻 t に対しデータ補間を行う時刻 $(t-3)$ までの遅延周期数を Nd とすると、遅延周期数 Nd は次式により求めることができる。

10 期数 Nd は次式により求めることができる。

*3、 $t-2$ 、 $t-1$ の補間については、前後のサンプルデータ $S(n-1)$ 、 $S(n)$ と、サンプルデータ $S(n)$ のタイミング n からの補間時間位置Cを求めればよい。

【0087】まず現在時刻 t 、 $t+1$ の場合については、サンプルデータ $S(n)$ を保持したタイミングでのカウンタ値 $cnt = 0$ のクリア後の連続的な計数であることから、カウンタ値 cnt の値を統一サンプル周期 $T_u = 384$ クロックの3倍の値から算出すれば求まる。これが第2時間位置 $CT2$ である。これを一般的に表わすと、

☆カウンタ値 cnt は $cnt = 0$ となる。したがって、前記(4)式の時間位置 $CT2$ を使用することはできない。この場合には、一般的には次式の第1時間位置 $CT1$ を使用する。

◆周波数44.1kHzの場合には、

40 * $(t-1)$ の補間については、このとき新たなサンプルデータ $S(n+1)$ が保持されるため、補間計算に使用する新旧データA、Bがそのままでは、 $A = S(n+1)$ 、 $B = S(n)$ に更新されてしまう。そこで、 $A = S(n)$ 、 $B = S(n-1)$ に戻す保持データの切替えが必要になる。図10の切替制御部156は、一般的には次式の比較演算を行っている。

【0090】

$$93.6 \geq cnt$$

となる。即ち、 $\Delta T = 93.6$ とカウンタ値 cnt と比較し、カウンタ値 cnt がサンプルタイミングにより0によりクリアされて $\Delta T = 93.6$ に増加するまでの間は、図10のセクタ158により第1時間位置CT1を選択し、且つセクタ146、148により1つ前の*

$$\begin{aligned} A &= S(n-1) \\ B &= S(n-2) \\ C &= CT1 \\ D &= Ts = 1058.4 \end{aligned}$$

$$X = S(s-1) - \{S(n-1) - S(n-2)\} \cdot CT1 / 1058.4 \quad (9)$$

具体的には、例えば図12(A)の現在時刻 $t+2$ における3周期前の時刻 $t-1$ の補間データの演算である。

【0092】これに対し、カウンタ値 cnt が $\Delta T = 93.6$ 以上の場合、例えば図12(A)の現在時刻 t 、 $t+1$ に対応した補間時刻 $t-3$ 、 $t-2$ の場合には、図10の切替制御部156はセクタ158で第2時間※

$$\begin{aligned} A &= S(n) \\ B &= S(n-1) \\ C &= CT2 \\ D &= Ts = 1058.4 \end{aligned}$$

$$X = S(n) - \{S(n) - S(n-1)\} \cdot CT2 / 1058.4 \quad (10)$$

ここで、図12(A)の時刻 t 、 $t+1$ 、 $t+2$ 、 $t+3$ で演算する $Nd = 3$ 周期前の時刻 $t-3$ 、 $t-2$ 、 $t-1$ 、 t の補間データ $X(t-3)$ 、 $X(t-2)$ 、 $X(t-1)$ 、 $X(t)$ は、次のようになる。

$$\begin{aligned} X(t-3) &= S(n) - \{S(n) - S(n-1)\} \times \{3 \times 384 - cnt(t)\} / 1058.4 \\ X(t-2) &= S(n) - \{S(n) - S(n-1)\} \times \{3 \times 384 - cnt(t+1)\} / 1058.4 \\ X(t-1) &= S(n) - \{S(n) - S(n-1)\} \\ &\quad \times \{3 \times 384 - cnt(t+2) - 1058.4\} / 1058.4 \\ X(t) &= S(n+1) - \{S(n+1) - S(n)\} \times \{3 \times 384 - cnt(t+1)\} / 1058.4 \end{aligned}$$

図12(A)は、統一サンプル周波数 $f_u = 44.1$ KHzに対し、音源サンプル周波数 f_s が16 KHzと低い場合の補間処理であるが、逆に統一サンプル周波数 $f_u = 44.1$ KHzに対し、音源サンプル周波数 f_s が例えば48 KHzと高い場合の補間処理は、図12(B)のようになる。この場合、音源サンプル周期 T_s は、 $T_s = 352.8$ となり、(2)式の遅延周期数 Nd は、

$$\star Nd = \text{INT} (352.8 / 384) + 1 = 1$$

となり、従って、サンプル時刻毎に1周期前の補間データを演算する。即ち、図12(B)の時刻 $t-2$ 、 $t-1$ 、 t 、 $t+1$ 、 $t+2$ の各々で演算する $Nd = 1$ 周期前の時刻 $t-3$ 、 $t-2$ 、 $t-1$ 、 t 、 $t+1$ の補間データ $X(t-3)$ 、 $X(t-2)$ 、 $X(t-1)$ 、 $X(t)$ 、 $X(t+1)$ は、次のようになる。

$$\begin{aligned} X(t-3) &= S(n-2) - \{S(n-2) - S(n-3)\} \times \{1 \times 384 - cnt(t-2)\} / 352.8 \\ X(t-2) &= S(n-1) - \{S(n-1) - S(n-2)\} \times \{1 \times 384 - cnt(t-1)\} / 352.8 \\ X(t-1) &= S(n) - \{S(n) - S(n-1)\} \times \{1 \times 384 - cnt(t)\} / 352.8 \\ X(t) &= S(n+1) - \{S(n+1) - S(n)\} \\ &\quad \times \{1 \times 384 - cnt(t+1) - 352.8\} / 352.8 \\ X(t+1) &= S(n+3) - \{S(n+3) - S(n+2)\} \times \{1 \times 384 - cnt(t+2)\} / 352.8 \end{aligned}$$

図13は、図10のカウンタ回路50及びデータ保持部132の基本クロックCL1に同期した処理のフローチャートである。基本クロックが得られるごとに図13のフローチャートが実行され、まずステップS1でサンプルクロックが得られたか否かチェックする。サンプルク

ロックが得られていれば、ステップS2でカウンタ150をクリアしてカウンタ値 $cnt = 0$ とする。

【0094】続いてステップS3でサンプルデータの更新を行う。即ち、レジスタ140のサンプルデータ $S(n)$ を新データとし、レジスタ140のデータをレジス

タ142に移して、 $S(n-1) = S(n)$ とし、更にレジスタ142のデータをレジスタ144に移し、 $S(n-2) = S(n-1)$ とする。一方、ステップS1でサンプルクロックが得られていないタイミングにあっては、ステップS4でカウンタ150のカウントアップ動作をしてカウンタ値cntを1つ増加させる。続いてステップS5で、第2時間位置CT2を更新したカウンタ値cntを使用して求め、更にステップS6で第1時間位置CT1を求める。この第1時間位置CT1は、第2時間位置CT2の値から音源サンプル周期 $T_s = 1058.4$ を差し引いた値である。

【0095】図14は、図10のカウント回路50に設けた切替制御部156による時間位置CT1、CT2の選択と、セクタ146、148による新旧データの選択に基づく補間データXの演算処理のフローチャートである。まずステップS1で、統一サンプル周波数44.1kHzのクロックCL2の有無をチェックし、統一クロックCL2が得られるとステップS2に進み、切替制御部156の比較演算として $\Delta T = 93.6$ とそのときのカウンタ値cntを比較する。このときカウンタ値cntが $\Delta T = 93.6$ 以下であればステップS3に進み、時間位置Cとして第1時間位置CT1を算出し、ステップS4で新データ $A = S(n-1)$ 及び旧データ $B = S(n-2)$ を選択し、ステップS5で補間データXを算出する。この補間計算におけるDは入力音源サンプル周期 $T_s = 1058.4$ クロックである。

【0096】一方、ステップS2でカウンタ値cntが $\Delta T = 93.6$ を超えていた場合にはステップS6に進み、時間位置Cとして第2時間位置CT2を選択し、ステップS7で新データ $A = S(n)$ 及び旧データ $B = S(n-1)$ を選択した後、ステップS5で補間データXを演算する。図15は図10の補間演算部136による補間データXの演算処理を、図5に示した乗算パイプライン回路80-1及び加減算パイプライン回路80-2で実行した場合のタイミングチャートである。

【0097】図15は、基準クロックCL1で決まるス*

$$X = A \times B \times C$$

A: データ

B: AGC係数

C: ボリューム係数

として求める。

【0100】即ち、音量調整の対象となる入力データAに対し、まず一定レベルに調整するためのAGC係数となる入力データBを掛け合わせ、その後外部設定されたボリューム係数の入力データCを掛け合わせて、音量調整された出力データXを求めることになる。尚、ボリューム係数としては、データメモリ48に格納せずに直接入力してもよい。

【0101】音量調整部170は図5の乗算パイプライン回路80-1を使用して実現でき、シーケンサ84に

*テート番号に対する乗算器96と加減算器108内の動作を示している。まずステート番号0では、乗算器96側のセクタ88、90で補間時間位置Cと入力音源サンプル周期Dの逆数で与えられる定数 $1/D$ を選択し、レジスタ92を介して乗算器96で $(C \times 1/D)$ の乗算を行い、結果を出力レジスタ98にラッチする。

【0098】この乗算器96側の乗算と並行して、加減算器108側でセクタ100、102がそれぞれ新データAと旧データBを選択して、レジスタ104、106を介して加減算器108に与え、このとき加減算器108は減算動作にセットされていることから減算 $(A-B)$ を行う。次のステート番号1では、乗算器96側の乗算 $(c \times 1/D)$ と加減算器108側の減算結果 $(A-B)$ をセクタ88、90で選択して乗算器96に入力し、両者の乗算結果 $(A-B)$ 、 (C/D) を求める。次のステート番号2にあっては、乗算器96側の乗算結果と新データAの選択結果を加減算器で減算して補間データXを算出する。最後のステート番号3にあっては、加減算器108の演算器即ち補間データXをシフト機能付きレジスタ110にシフトした後、マルチプレクサ112で選択し、データメモリ48に書き込むライト動作を行う。

(2) 音量調整処理

図16は、図4のデータ処理部10の第1処理回路80側で行われる音量調整処理の機能ブロックである。この音量調整処理は、データメモリ48のデータ格納部164に格納されている音量調整対象とするオーディオデータを入力データAとして音量調整部170に読み込む。またデータメモリ48のAGC係数格納部166に格納されている予め定めたレベルに調整するためのAGC係数を入力データBとして読み込む。

【0099】更にデータメモリ48のボリューム係数格納部168に格納されている調整操作により設定されたボリューム係数を入力データCとして読み込み、出力データXを

(11)

より例えば図17のタイミングチャートに示す制御動作が行われる。図17の音量調整制御にあっては、ステート番号0で、乗算器96側で調整対象となるオーディオデータAとAGC係数の入力データBを選択して乗算結果 $(A \times B)$ を求める。

【0102】次のステート番号1で、乗算結果を帰還して選択すると共にボリューム係数の入力データCを選択して乗算し、音量調整された出力データXを求め、最後のステート番号2で、出力ラッチ、マルチプレクサ及びデータメモリに対するライト動作を行う。

(3) フィルタ処理

図18は、図4のデータ処理部10に設けた第2処理回路82側で行われるフィルタ処理の機能ブロックであ

る。図18において、データメモリ48にはフィルタリング対象とするオーディオデータを格納したデータ格納部172と、フィルタリングに使用するフィルタ係数を格納したフィルタ係数格納部174が設けられている。

【0103】フィルタ演算部176は、例えば有限インパルス応答型のデジタルフィルタを実現するための演算*

$$X = \sum_{i=1}^N (A \times B)$$

A: データ

B: フィルタ係数

N: 次数で例えば57

即ち、有限インパルス応答型のデジタルフィルタにあっては、現在処理対象となる注目データを中心に時間軸の前後にインパルス応答による所定の分布をもつ有限次数のフィルタ係数を使用し、各フィルタ係数の値と入力データとの積の総和を算出する。例えば有限インパルス応答の次数をN=57に設定した場合、1回のフィルタ演算にあっては、フィルタ係数格納部174及びデータ格納部172に格納された57次分のデータ及びフィルタ係数を使用した積和計算をシーケンサ86の制御に従って繰り返す。

【0105】このフィルタ演算部176を実現する図4の第2処理回路82のロジック構成は図5と同じであるが、積和計算を繰り返す際には加減算パイプライン回路80-2の出力段のシフト機能付きレジスタ110に対する加算結果のラッチは行わず、直接的にセレクト102に帰還して次の演算サイクルとの連携を早めている。

【0106】図19は、図18のシーケンサ86による図5の乗算パイプライン回路80-1と加減算パイプライン回路80-2を有するフィルタ演算部176における演算処理のタイミングチャートである。まずスタート※

$$X = A + B + C + D$$

のミキシング演算を行わせる。ミキサ演算部180の処理は、シーケンサ84による図5の加減算パイプライン回路80-2の制御で実現できる。

【0109】図21は、図20のシーケンサ84によるミキサ演算部180のミキシング処理のタイミングチャートである。まずスタート番号0で加減算器108側で最初の2つのデータA、Bを選択して加算し、次のステート番号1で前回の加算結果(A+B)と新たなデータCを選択して加算し、同様にステート番号2で最後のデータDを選択してそれまでの加算結果に加算する。最後のステート3では加減算器108の加算結果をミキサ出力データとしてラッチした後にデータメモリに書き込む。

【0110】この図21のタイミングチャートにあっては、ステート番号3でミックス出力データXをデータメモリ48に書き込むようにしているが、ミキサによる処理は図3の機能ブロックから明らかなように、データ処

*処理を実行し、既に説明した補間処理によりオーディオデータに含まれる高周波ノイズをカットするためのローパスフィルタの処理を実現する。この有限インパルス応答型のローパスフィルタのデジタル処理のための演算は、次式で与えられる。

【0104】

(12)

10※番号0で乗算器96側がデータA0とフィルタ係数B0を選択して乗算し、次のステート番号1で加減算器108に入力して前回の加算結果(最初は0)と加算する。同時に乗算器96側にあつては、次のデータA1とフィルタ係数B1を入力して乗算結果(A1×B1)を求め

ている。
【0107】これをT=1~57の57ステートに亘って連続的に繰り返す。最後のステート番号57にあっては、加減算器108の57次分の積和計算の結果をフィルタ出力データとして、出力ラッチ、マルチプレクサを介してデータメモリ48にライトする。

(4) ミキサ処理

図20は、図4のデータ処理部10に設けた第1処理回路80側で行われるミキサ処理の機能ブロックである。このミキサ処理にあっては、データメモリ48にミキシング対象となるデジタルデータを格納したデータ格納部178が設けられている。この例にあっては、4種類のデジタルデータA、B、C、Dを選択してミキシングするものとする。

【0108】シーケンサ84は、所定のミキシングタイミングでデータメモリ48のデータ格納部178よりデータA~Dを読み出し、ミキサ演算部180において

(13)

理部10における最終段の処理となることから、図5の加減算パイプライン回路80-2の加減算器108の出力段のシフト機能付きレジスタ110に格納した後、シフト動作によりパラレルデータに変換して、マルチプレクサ112から外部のDAコンバータ44に出力してアナログデータに変換してラインアウトするようになる。

(5) 他の実施形態

図22は図5の乗算及び加減算パイプライン回路を備えた図10のデータ処理部10により実現される本発明の他の実施形態の機能ブロックであり、この実施形態にあっては、入力チャンネルCH1~CH4のミキサ入力部182、184、186、188のそれぞれを、ミキサ入力部182に代表して示すように、データ入力部190、データ補間部192、フィルタ部194及び音量調整部196で構成し、全て統一サンプル周波数44.1kHzに対し異なった音源サンプル周波数のオーディオデータを

て、最終的にDAコンバータを備えたデータ出力部200よりアナログオーディオ信号としてラインアウトするようにしている。

【0111】図23は本発明の別の実施形態であり、チャンネルCH1~CH4についてそれぞれ異なったデジタルオーディオデータの処理形態をとっている。即ちチャンネルCH1については音量調整部202のみであり、これに対しチャンネルCH2については音源サンプル周波数が異なることから、補間部204、音量調整部206を設け、更にチャンネルCH1、CH3側との混合を行うミキサ部208を設け、最終的にフィルタ部210を介し、更にミキサ部212でチャンネルCH4のフィルタ部214の出力データを混合して出力できるようにしている。

【0112】このような図23のチャンネルCH1~CH4における各デジタルオーディオデータに対する処理も、図3のデータ処理部10の機能ブロックを実現する図4乃至図21に示した処理により簡単に実現できる。

4. 音源サンプル周波数の計測と補間処理

図24は図2のデータ処理部10をプロセッサによるプログラム制御で実現するための実施形態であり、図5のロジック回路を使用した場合に比べ、デジタルオーディオ信号の各種の処理の柔軟性をより一層高めることができる。

【0113】図24において、データ処理部10にはMPU26が設けられ、そのバス218に対しデータメモリ220、外部入出力のためのチャンネルCH1~CH6を備えた入出力モジュール222、処理済みデジタルオーディオ信号をアナログオーディオ信号に変換して出力するDAコンバータ224、図2の上位のCPU12に対する上位インタフェース226を設けている。

【0114】図25は、図24のMPU216のプログラム制御により実現される本発明のデータ処理部10の機能ブロック図である。この実施形態にあつては、チャンネル入力CH1~CH5に対応して5つのミキサ入力部230-1~230-5が設けられる。ミキサ入力部230-1~230-5は、ミキサ入力部230-1に代表して示すように、サンプルクロック計測部234、補間部236、音量調整部238及びフィルタ部240を備える。

【0115】サンプルクロック計測部234は、チャンネルCH1から入力する任意のデジタルオーディオデータからその音源サンプル周波数を測定し、音源サンプル周波数の測定結果に応じ、補間部236における補間処理を決める。ここでデータ処理部10にあつては統一サンプル周波数44.1kHzを使用しており、その周期 T_u に対しサンプルクロック計測部234で計測した入力デジタルオーディオ信号の音源サンプル周波数の周期 T_s との関係を算出して補間部236の処理を決める。

【0116】図26のフローチャートは、図5のチャネ

ルCH1のミキサ入力部230-1の処理手順である。まずステップS1で補間モード設定処理を行う。この補間モード設定処理は、全ての入力チャンネルCH1~CH5について行われる。サンプルクロック計測処理が済むと、ステップS2で、まずチャンネルCH=1をセットし、ステップS3で、チャンネルCH1の音源サンプル周期 T_s が統一サンプル周期 T_u に等しいか否かチェックする。

【0117】等しくなければ、ステップS4で補間処理を行う。等しければステップS4の補間処理は行わない。次にステップS5で音量調整処理を行う。次にステップS6で補間処理の有無をチェックし、補間処理を行っていればステップS7でフィルタ処理を行う。フィルタ処理が済んだならば、ステップS8でチャンネルCH1を1つインクリメントし、ステップS9で最終チャンネルに達したか否かチェックする。

【0118】最終チャンネルCH5に達するまで、以上のステップS3~S9の処理を繰り返す。ステップS9で最終チャンネルCH5の処理が済んだことが判別されると、ステップS10でミキサ処理を行った後、ステップS11で出力処理を行う。このステップS2~S11の処理は、統一サンプル周波数44.1kHzに対応した周期 T_u ごとに繰り返される。

【0119】図27は、図26のステップS1の補間モード設定処理の中で使用される音源サンプル周期 T_s を計測するための割込み処理の詳細を示したフローチャートである。この割込み処理は、非常に短い周期で発生するタイマ割込によって起動する。まずステップS1で、カウンタcntをカウントアップし、次のステップS2で入力チャンネルからのサンプルクロックの有無をチェックしている。サンプルクロックが得られると、ステップS3で音源サンプル周期 T_s がカウンタcntから得られ、ステップS4でカウンタcntを0にクリアする。ステップS2でサンプルクロックが得られない場合は、そのまま割込み処理を抜ける。

【0120】図28は、図26のステップS1における補間モード設定処理の詳細を示したフローチャートである。この補間モード設定処理にあつては、まずステップS1で音源サンプル周期 T_s と統一サンプル周期 T_u との比(T_s/T_u)を算出する。この比が整数分の1か否かステップS2でチェックし、整数分の1であればステップS4に進み、サンプルデータの間引きモードをセットする。

【0121】ステップS2で整数分の1でなければステップS3に進み、整数倍か否かチェックする。整数倍であればステップS5に進み、ゼロ詰め補間モードをセットする。ステップS3で整数倍でもなかった場合には、ステップS6で近似曲線補間モードのセット、例えば直線補間モードをセットする。図29は、図28のステップS4の間引きモードをセットした場合の間引き処理を

示している。まず統一サンプル周期 T_u に対し入力音源サンプル周期 T_s が短いことから、統一サンプル周期 T_u に同期したサンプルデータ242、248の間のサンプルデータ244、246についてはサンプルデータとして保持せず、サンプルデータ244、246を間引く。これによって統一サンプル周期 T_u をもつ黒丸のサンプルデータに変換することができる。

【0122】図30は、図28のステップS5のゼロ詰め補間モードをセットした場合のゼロ詰め補間処理を説明する。この場合、統一サンプル周期 T_u に対し入力サ
 ンプル周期 T_s が例えば2倍と長くなっている。2 T_u の周期で得られる音源サンプル周期 T_s のサンプルデータは例えばサンプルデータ250、252に示すようになり、この間に存在する統一サンプル周期 T_u のタイミングの補間位置については、ゼロデータ254を補間する。

【0123】このようなゼロ詰め補間にあつては、ゼロ詰め補間処理を行った後にフィルタ処理によりローパスフィルタを通し、またゼロ詰め補間で全体のレベルが下がっていることから、レベルを上げるレベル調整処理が行われる。図31のフローチャートは図29の間引き処理である。まずステップS1で、統一サンプル周期 T_u の間に得られるサンプルデータの数を計数するカウンタ M を $M=0$ にクリアする。次に、サンプルデータが得られるごとに0にクリアされているカウンタ値 cnt が、既に計測された入力音源サンプル周期 T_s に一致したか否かチェックする。

【0124】ステップS2でカウンタ値 cnt が入力音源サンプル周期 T_s に一致したら、ステップS3に進み、カウンタ M を1つカウントアップする。続いてステップS4で、カウンタ M の値が統一サンプル周期 T_u と音源サンプル周期 T_s の比 (T_u/T_s) に達したか否かチェックする。例えば図29にあつては、 $M=3$ に達したか否かチェックする。 $M=3$ に達するまではステップS2～S4の処理を繰り返しており、サンプルデータの出力は行われない。

【0125】ステップS4で $M=3$ に達すると、ステップS5でそのときのサンプルデータを出力する。ステップS6にあつては、チャンネル入力切替えの有無をチェックしており、チャンネル入力切替えがあるまでステップS1～S6の処理を繰り返す。チャンネル入力切替えがあれば再び図28にリターンし、新たな切替チャンネルにおける補間モード設定処理を行うことになる。

【0126】図32は図30のゼロ詰め補間処理のフローチャートである。まずステップS1で、音源サンプル周期 T_s の間に存在する補間データ、即ちゼロ詰めデータの数を示すカウンタ N を0にクリアし、ステップS2で、音源サンプル周期 T_s ごとに0にクリアされるカウンタ値 cnt が統一サンプル周期 T_u に達したか否かチェックしている。

【0127】カウンタ値 cnt が統一サンプル周期 T_u に達したならば、ステップS3でカウンタ N を1つカウントアップし、ステップS4で、入力音源サンプル周期 T_s と統一サンプル周期 T_u の比 (T_s/T_u) 、図30の場合には $N=2$ に達したか否かチェックする。ステップS4で $N=2$ に達すれば次のサンプルタイミングであることから、ステップS5で、入力したサンプルデータをゼロ詰め補間に伴うレベル低下を補償するため、例えば $(T_s/T_u)=2$ 倍に補正した後、ステップS6でサンプルデータを出力する。

【0128】一方、ステップS4で $N=2$ に達しない場合には、ステップS7で、 $S=0$ としたゼロ詰めデータを生成し、これをステップS6で補間詰めのサンプルデータとして出力する。ステップS8にあつては、チャンネル入力切替えを監視しており、チャンネル入力切替えがあるまでステップS1～S7の処理を繰り返す。

5. 音量調整制御

本発明のオーディオデータ処理装置にあつては、通常のデジタルオーディオ入力チャンネルについてはボリューム操作による音量設定が行われる。このようなボリューム操作による音量設定に対し、急激なボリューム調整値の変化に対し正確に音量調整を行った場合には、急激な音量変化でデジタル的なノイズを発生する。

【0129】そこで図33の実施形態にあつては、急激な音量変化値のオーディオ波形の不連続性によるノイズを低減させるように音量制御を行うことを特徴とする。図33は、まず入力段にレジスタ260、262、264が設けられる。レジスタ260には出力データ X が帰還されて現在値 A が保持される。レジスタ262にはボリューム調整に伴う外部からの音量設定値 B が保持される。更にレジスタ264には、予め定めたシーケンサ84による統一サンプル周波数44.1kHzの処理周期 T_u の間に変化させる歩進値 C が保持される。

【0130】レジスタ260の現在値 A とレジスタ264の歩進値 C は演算部266に与えられ、シーケンサ84による処理周期 T_u ごとに $X=A \pm C$ の音量調整演算を行う。またレジスタ260の現在値 A と外部のボリュームにより設定された音量設定値 B （目標値）は、比較部268で比較される。比較部268の比較結果は、演算部266における歩進値 C の加算または減算を決める。設定値 B が現在値 A より大きければ、演算部266は $X=A+C$ の加算を行う。また設定値 B が現在値 A より小さければ、演算部266は $X=A-C$ の減算を行う。

【0131】演算部266の演算出力 X は、比較部272で設定値 B と比較されている。比較部272は、比較結果に応じセレクト270を制御する。演算出力 X が設定値 B に一致していないときは、セレクト270は演算部266の出力 X を選択して出力データ X としている。

比較部272で出力 X が設定値 B に一致した場合には、

設定値Bを選択して出力データXとする。

【0132】図34は、図33における音量制御のタイムチャートである。いま時刻t1で、現在値Aに対し外部よりボリューム設定により新たな設定値Bが設定されたとする。この時刻t1よりシーケンサ250で決まる処理周期Tuごとに演算部266でA+Cの演算が行われ、歩進値Cずつ演算部266の出力Xが増加する。そして時刻t2で設定値Bに一致する。時刻t1～t2の間は、セクタ270は演算部266の出力Xを選択出力している。

【0133】時刻t2に達すると、セクタ270は設定値Bを選択出力する。これにより、急激な音量設定値の変化があっても、実際に出力されるデータは歩進値Cで制限された時間勾配となり、急激な音量変化によるオーディオ波形の不連続性によるノイズ発生を確実に防止できる。図35は、図33の機能ブロックをプロセッサによるプログラム制御で実現したフローチャートである。まずステップS1で、現在値A、設定値B、歩進値Cを読み取り、ステップS2で、現在値Aが設定値Bに一致するか否かチェックする。一致していなければ、ス

テップS3で、現在値Aに歩進値Cを加算する。この場合の歩進値Cの加算は、現在値Aが設定値Bより小さければ-Cを加算し、大きければCを加算する。

【0134】続いてステップS4で、出力Xが設定値Bに達したか否かチェックしており、一致するまではステップS5で、ステップS3の演算結果Xを出力して現在値AをA=Xに更新する。ステップS4で演算値Xが設定値Bに一致すれば、ステップS6でX=Bとして出力し、また現在値Aを設定値Bに更新する。図36は、図33～図35に示した音量調整の制御機能を応用して、電子演奏装置のキー操作に対するオーディオ波形のエンベロープ調整を簡単に実現することを特徴とする。

【0135】図36の機能ブロックは、図33に対し新たに入力側のレジスタ262に対しセクタ274を設け、またレジスタ264に対しセクタ276を設けている。セクタ274に対しては、キーの時間的な変化に対応した音量設定値B1、B2、B3、B4が入力される。セクタ276には音量設定値B1～B4のそれぞれに対応した固有の歩進値C1、C2、C3、C4が設定される。

【0136】シーケンサ250は、設定値P1～P4に現在値Aが達するごとに次のシーケンスに進むようになる。通常、キー入力のオン操作に対しては、アタック、ディケイ、サステイン、リリースの4つのモードが設定されている。この4つのモードに対応して、セクタ274に対する音量設定値B1～B4及びそれぞれの音量設定値に変化するための歩進値C1～C4が設定される。

【0137】例えば図37(B)のようなキー入力に対し、図37(A)に示すようなアタック、ディケイ、サ

ステイン、リリースの4つのモードの音量設定値B1、B2、B3、B4が決められる。そして、それぞれのアタック特性280、ディケイ特性282、サステイン特性284及びリリース特性286における単位周期Tuの歩進値は、固有の歩進値C1～C4が使用される。

【0138】このような設定値B1～B4及び歩進値C1～C4が設定された状態でのエンベロープ波形の発生処理は、次のようになる。まずシーケンサ250はセクタ274、276によりアタックモードの音量設定値B1と歩進値C1を選択し、レジスタ262、264にセツトする。この状態でシーケンサ250は、処理周期Tuごとに現在値を格納したレジスタ260とレジスタ262の音量設定値B1との比較部268による比較結果に基づき、演算部266で現在値Aに対する歩進値C1の加算を繰り返す。

【0139】比較部272で設定値B1に達したことが判別されると、シーケンサ84に一致出力が与えられ、次のディケイモードの音量設定値B2と歩進値C2がセクタ274、276により選択される。以下同様に、サステインモード及びリリースモードについて同様な処理を繰り返す。結果として図37(B)のキーオンからキーオフに対応して、図37(A)のエンベロープ波形を発生することができる。

【0140】図38は図36の処理をフローチャートで示したもので、カウンタnで決まるn=4回だけ図35のボリュームによる音量調整の場合と同様な処理を繰り返すことになる。尚、本発明は上記の実施形態に示した数値による限定は受けない。

【0141】

【発明の効果】以上説明してきたように本発明によれば、複数のデジタル音源からの異なった音源サンプル周波数のデジタルオーディオデータを入力して、所定の統一サンプル周波数例えば44.1kHzに統一してデータ処理することができ、デジタル音源側が必ずしも44.1kHzの統一された周波数のデータを出力する必要がなく、本発明の装置をコンピュータ装置に対するオーディオデータのインタフェースとして使用することで、各種のデジタル音源を一括して必要なオーディオ処理を行うことができる。

【0142】また多チャンネルデジタルデータの時分割処理を行うロジック回路として乗算パイプライン回路と加減算パイプライン回路を相互接続したハードウェアを使用することで、多チャンネルのオーディオデータの処理を統一サンプル周波数44.1kHzの処理周期内で効率良く時分割に処理することができ、ロジック回路そのものも簡単で、制御処理もシーケンサによる一義的な制御メモリのアドレス指定で済み、この結果、簡単な回路で多チャンネル処理を実現できる。

【0143】更に、データ処理回路をプロセッサによるソフトウェア処理として柔軟性をもたせることで、適宜

のデジタルオーディオデータの音源サンプル周波数を計測して統一サンプル周波数との関係から必要とする補間処理や間引き処理を行い、装置側で外部のデジタル音源の音源サンプル周波数を意識することなく自動的に補間や間引きにより統一サンプル周波数44.1kHzへの変換を効率良く行うことができる。また補間処理も音源サンプル周波数の状況に応じて適切に行うことができる。

【図面の簡単な説明】

【図1】本発明の原理説明図

【図2】本発明の実施例を示したブロック図

【図3】図2のデータ処理回路の機能ブロック図

【図4】図2のデータ処理回路のブロック図

【図5】図4の第1処理回路の回路ブロック図

【図6】図5のシーケンサによる統一サンプル周期のステートサイクルの説明図

【図7】図5の第1処理回路と第2処理回路の統一サンプル周期における時分割処理の説明図

【図8】図5の乗算パイプライン回路側の基本的な動作のタイミングチャート

【図9】図5の回路ブロックにおける動作と必要ステート数の説明図

【図10】図5の第1処理回路に設けられる補間処理の機能ブロック図

【図11】補間処理の原理説明図

【図12】音源サンプル周波数を16kHz、48kHzとした場合の補間処理のタイミング説明図

【図13】図10のカウンタ処理の処理動作のフローチャート

【図14】図10のカウンタ値に基づく切替選択と補間計算を示したフローチャート

【図15】図10の補間演算部の機能を実現する図5の回路の動作説明図

【図16】図4の第1処理回路に設けられる音量調整の機能ブロック図

【図17】図16の音量調整部の機能を実現する図5の回路の動作説明図

【図18】図4の第2処理回路に設けられるフィルタ処理の機能ブロック図

【図19】図18のフィルタ処理の機能を実現する図5の回路の動作説明図

【図20】図4の第1処理回路に設けられるミキサ出力処理の機能ブロック図

【図21】図18のミキサ出力処理の機能を実現する図5の回路の動作説明図

【図22】図2のデータ処理回路の他の実施形態の機能ブロック図

【図23】図2のデータ処理回路の他の実施形態の機能ブロック図

【図24】図2のデータ処理回路をプロセッサ処理に実

現する動作環境のブロック図

【図25】図24のプロセッサで実現するデータ処理回路の機能ブロック図

【図26】図25の入力チャネル処理のフローチャート

【図27】図26のサンプルクロック計測処理のフローチャート

【図28】図26の補間モード設定処理のフローチャート

【図29】間引き処理の説明図

10 【図30】ゼロ詰め補間処理の説明図

【図31】図28の間引き処理のフローチャート

【図32】図28のゼロ詰め補間処理のフローチャート

【図33】本発明で用いる音量調整処理の機能ブロック図

【図34】図33による音量調整のタイムチャート

【図35】図33の音量調整処理のフローチャート

【図36】図33の音量調整を応用したデジタル演奏機器のキー入力に伴うエンベロープ処理の機能ブロック図

20 【図37】図36のエンベロープ処理のタイムチャート

【図38】図36のエンベロープ処理のフローチャート

【図39】ランダムロジックで実現した従来装置の回路ブロック図

【符号の説明】

10：データ処理回路

12：CPU

14：メモリ

16：DMAコントローラ

18：バス

30 20：ウェーブテーブルメモリ

22：PCM音源モジュール

24：FMモジュール

26：アダプタモジュール

28：マイク入力端子

30：アンプ

32：ADコンバータ

34：CDシリアルデータ入力端子

35：AUX入力端子

36：バスコネクタ

40, 42：FIFO

44：DAコンバータ

46：L/R出力端子

48：データメモリ

50 50：補間用カウンタ回路

52：ミキサ出力部

54, 60, 66：補間部

56, 64, 70, 72：フィルタ部

58, 62, 68, 74：音量調整部

72：フィルタ部

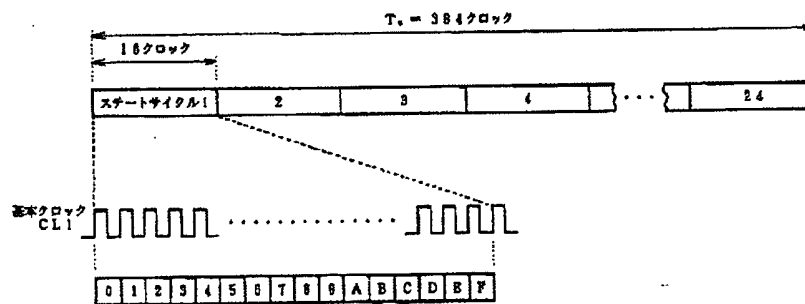
76：逆補間部

78 : L/Rミキサ
 80 : 第1処理回路
 82 : 第2処理回路
 84, 250 : シーケンサ
 88, 90, 100, 102 : セレクタ (第1～第4セレクタ)
 92, 94, 104, 106 : レジスタ (第1～第4レジスタ)
 96 : 乗算器
 108 : 加減算器
 98, 110, 113 : 出力レジスタ (シフト機能付き)
 112 : マルチプレクサ
 114 : マスク用ANDゲート
 116 : シーケンスカウンタ
 118 : 制御メモリ
 120 : 制御出力レジスタ
 122 : メモリアクセスレジスタ
 124 : L処理サイクル
 126 : R処理サイクル
 132 : データ保持部
 136 : 補間演算部
 138, 140, 142 : レジスタ
 146, 148 : レジスタ
 150 : カウンタ
 152 : 第1時間位置演算部
 154 : 第2時間位置演算部
 156 : 切替制御部

158 : セレクタ
 164, 172, 178 : データ格納部
 166 : AGC計数格納部
 168 : ボリューム係数格納部
 170 : 音量調整部
 174 : フィルタ係数格納部
 176 : フィルタ演算部
 180 : ミキサ演算部
 182, 184, 186, 188, 228, 230, 232 : ミキサ入力部
 198 : ミキサ部
 200 : データ出力部
 202, 206, 238 : 音量調整部
 204, 236 : 補間部
 208, 212 : ミキサ部
 210, 214, 240 : フィルタ部
 216 : MPU
 218 : バス
 220 : データメモリ
 222 : 入出力モジュール
 224 : DAコンバータ
 226 : 上位インタフェース
 234 : サンプルクロック計測部
 260, 262, 264 : レジスタ
 268, 272 : 比較部
 266 : 演算部
 270, 274, 276 : セレクタ

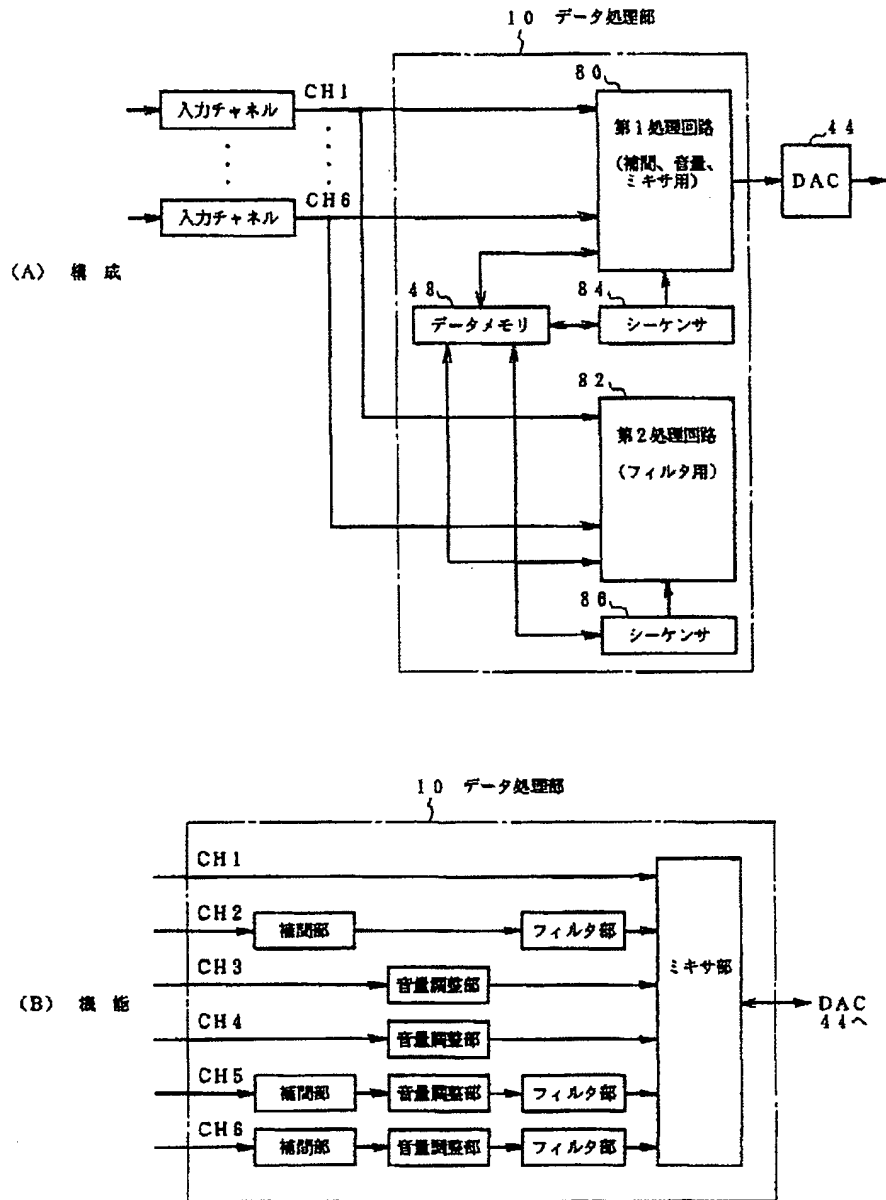
【図6】

図5のシーケンサによる統一サンプル周期のスタートサイクルの説明図

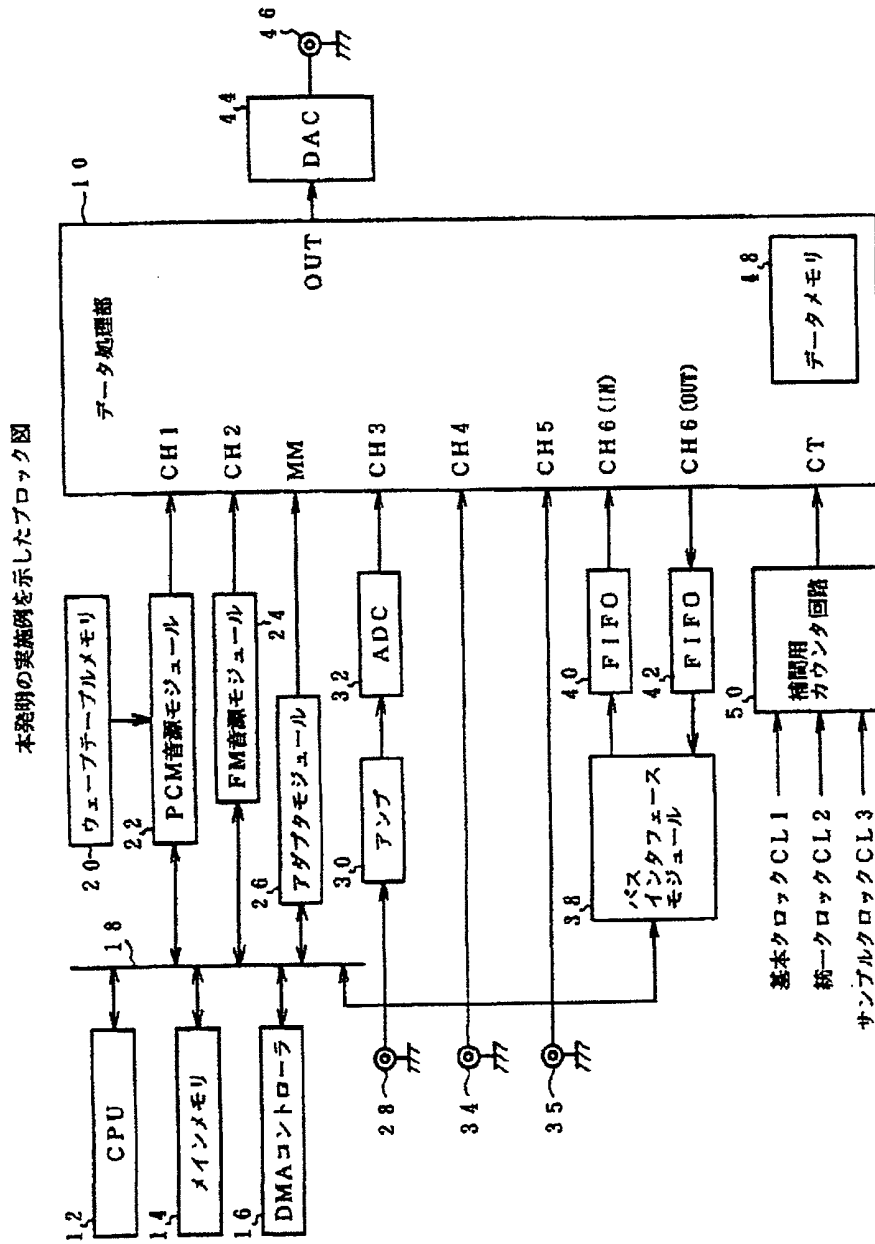


【図1】

本発明の原理説明図

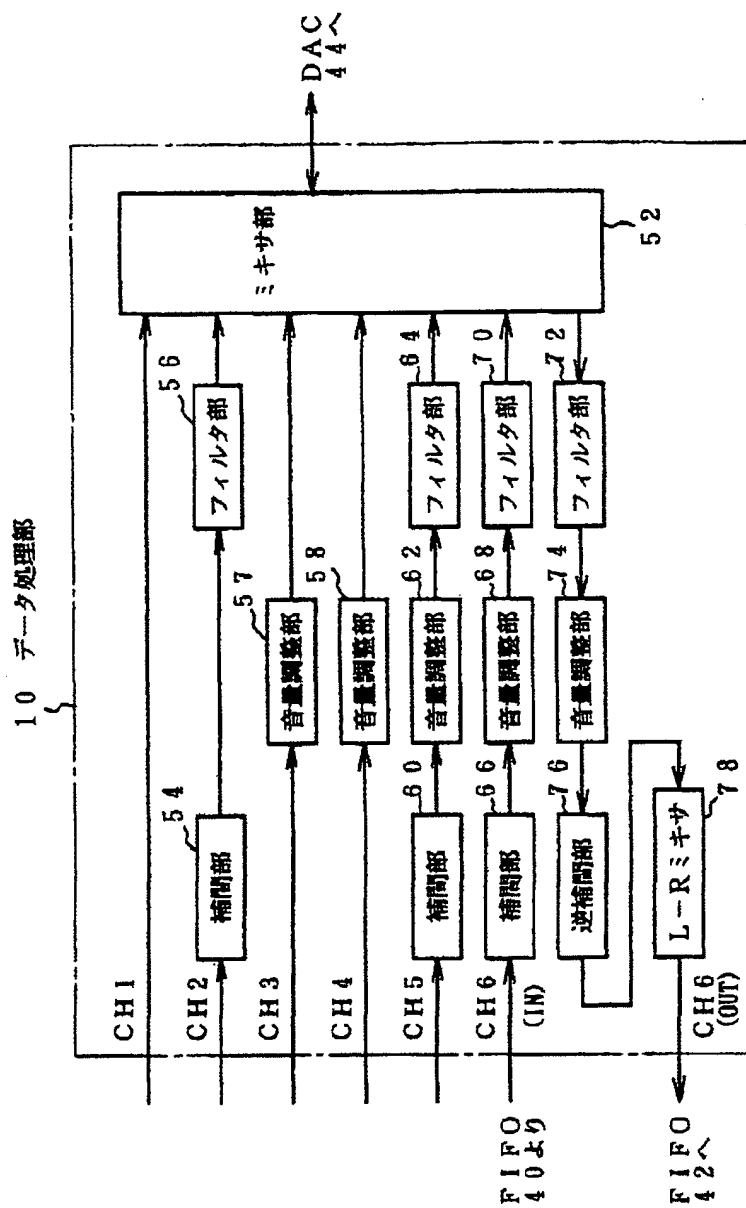


【図2】



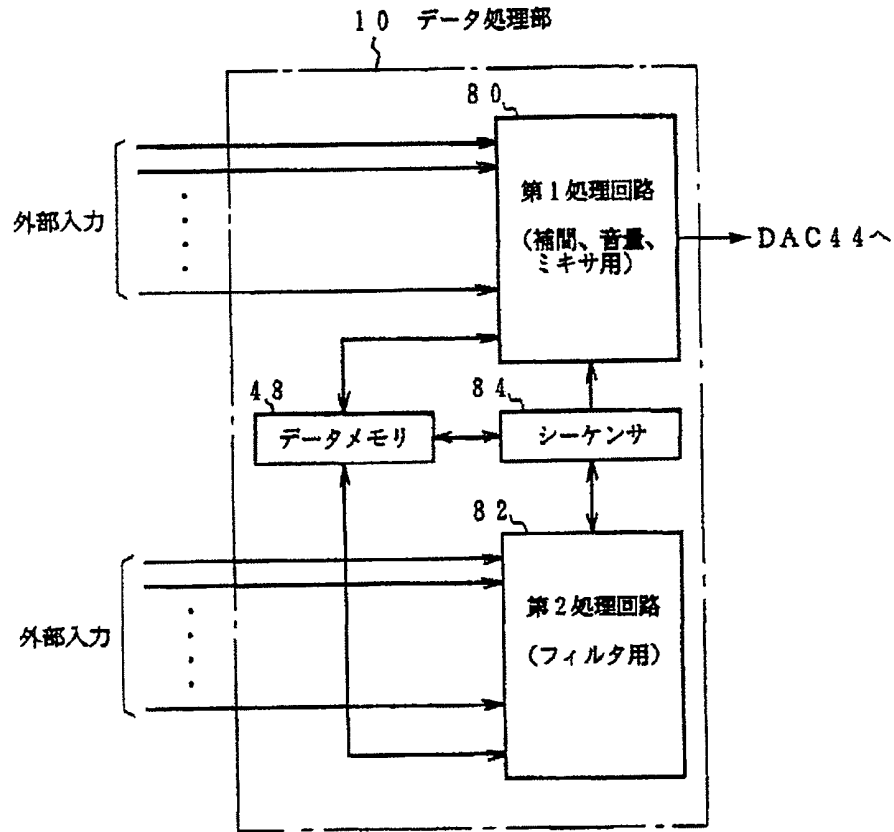
【図3】

図2のデータ処理回路の機能ブロック図



【図4】

図2のデータ処理回路のブロック図



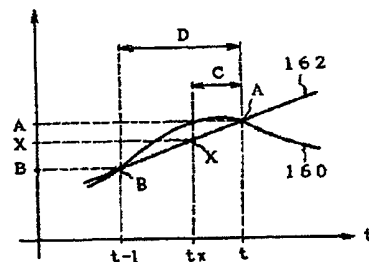
【図9】

図5の回路ブロックにおける動作と必要ステート数の説明図

制御内容	必要ステート数
セレクトラッチ	1
乗算ラッチ	1
加減算ラッチ	1
メモリリード	1
メモリライト	1
出力ラッチ	1
出力セレクト	1

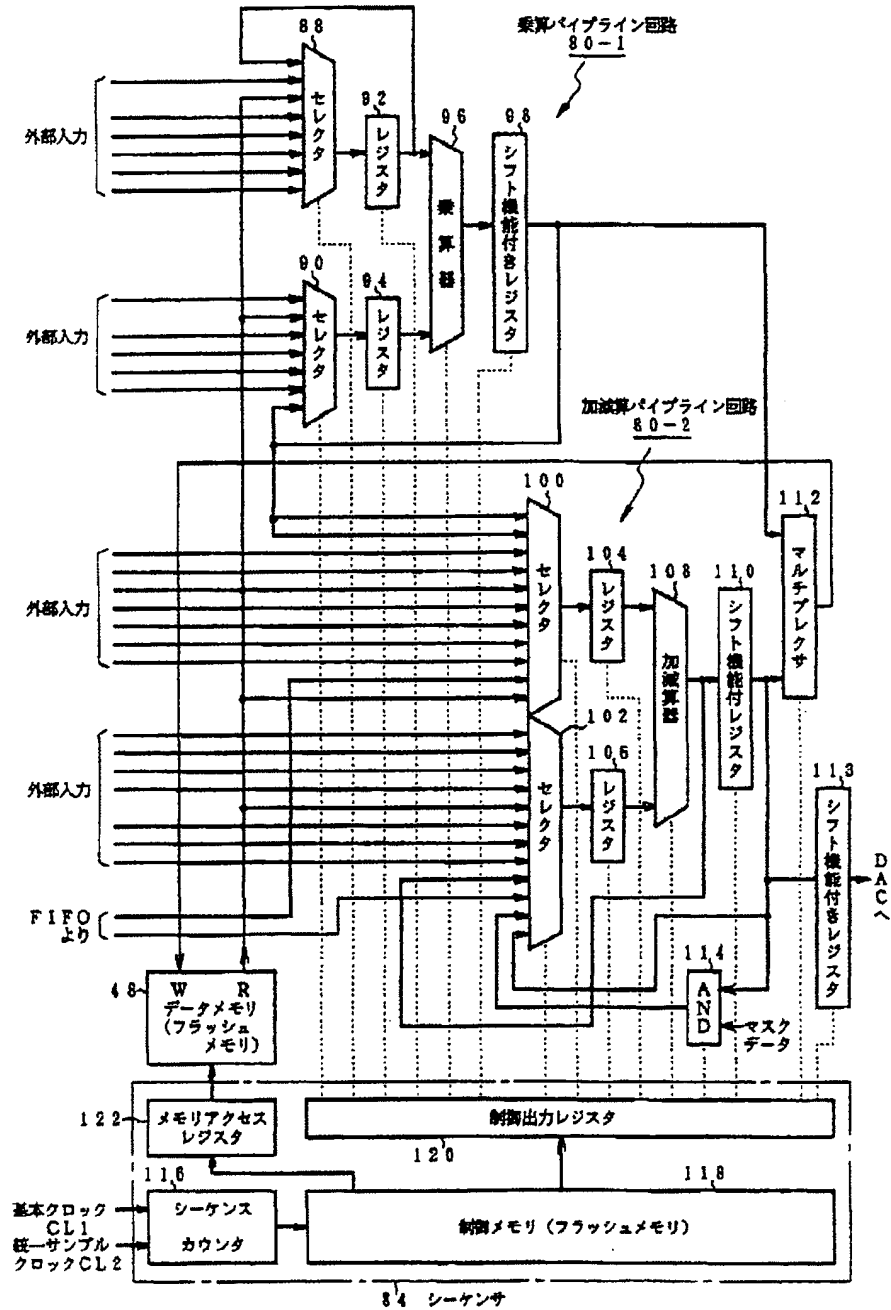
【図11】

補間処理の原理説明図



【図5】

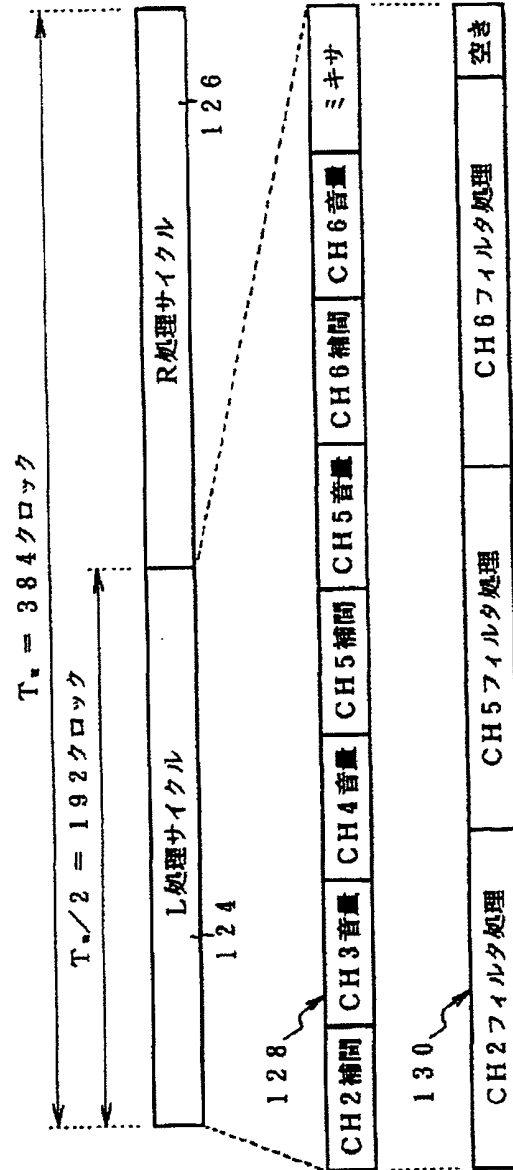
図4の第1処理回路の回路ブロック図



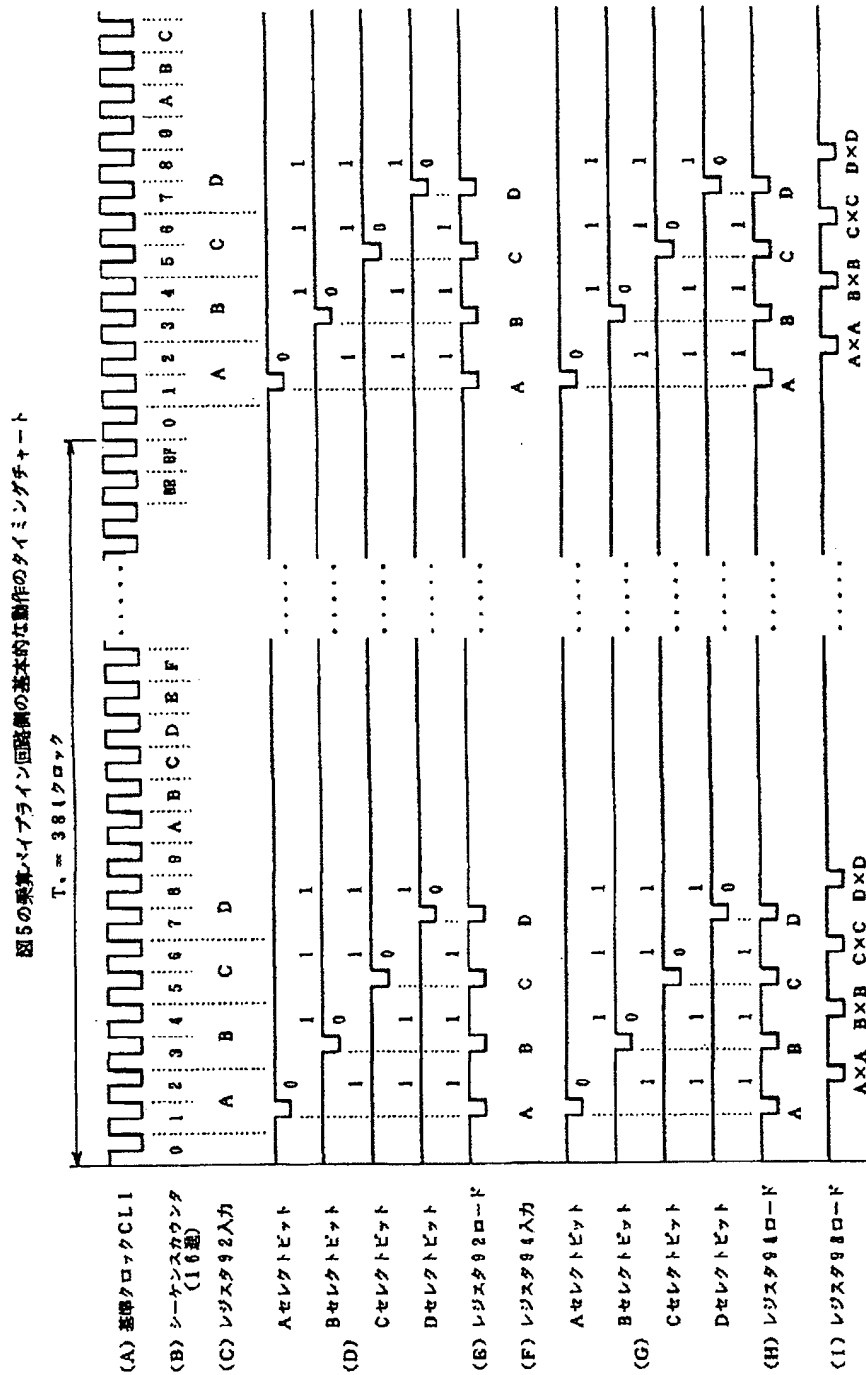
【図7】

図5の第1処理回路と第2処理回路の統一サンプル周期における時分割処理の説明

明図

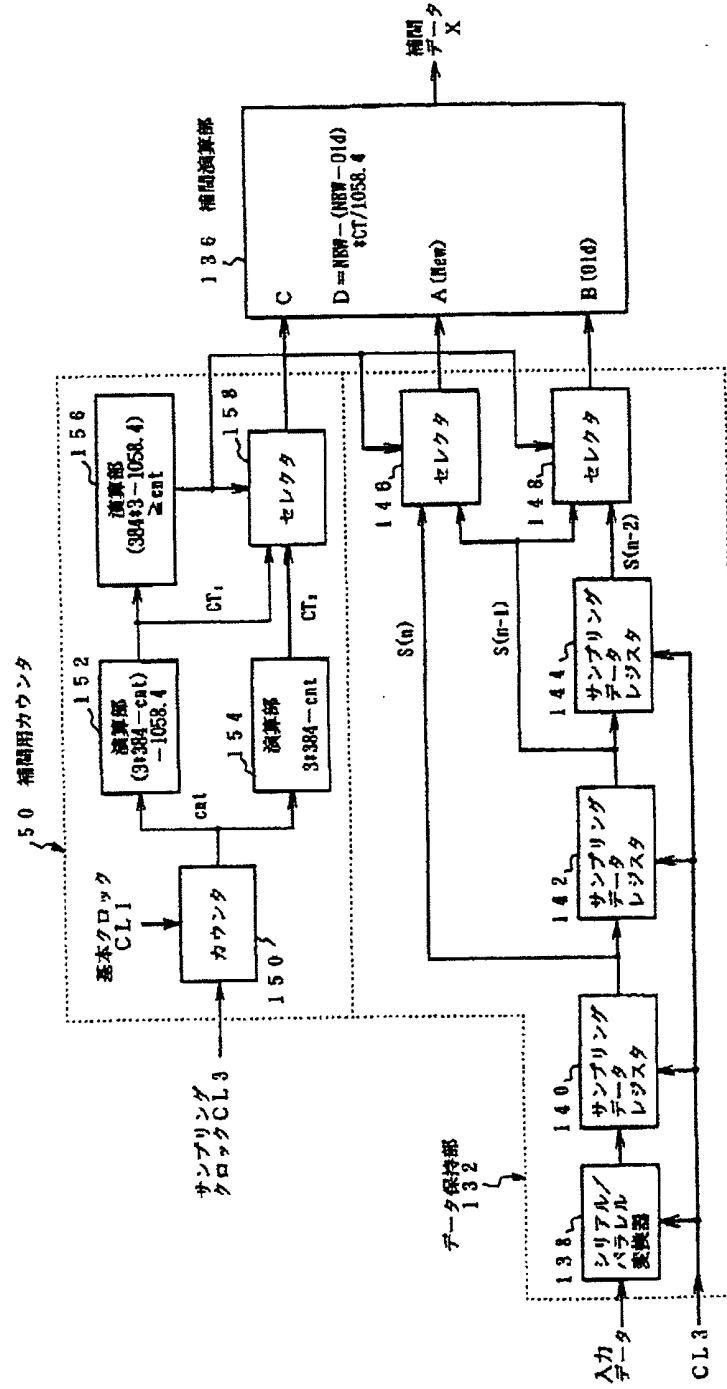


【図8】



【図10】

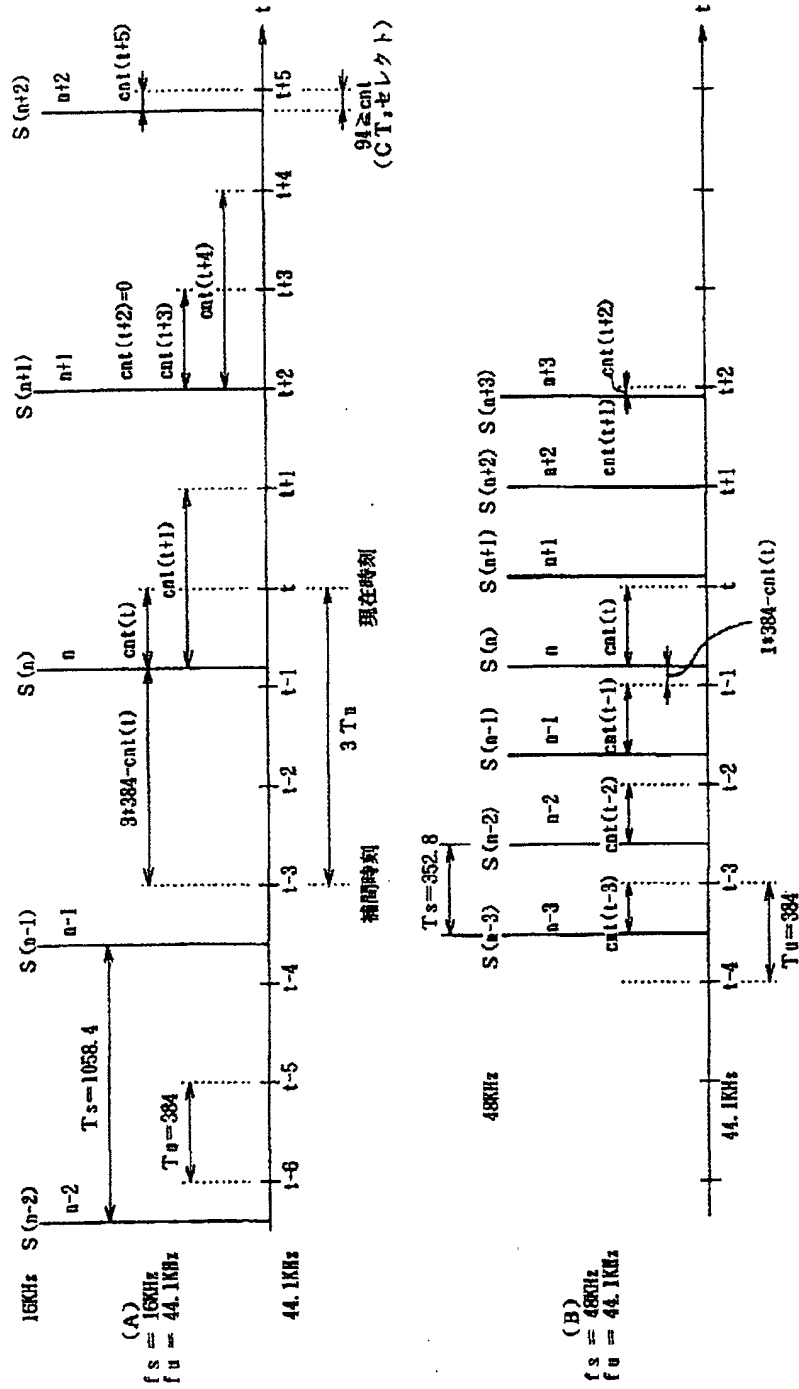
図5の第1処理回路に設けられる補間処理の機能ブロック図



【図12】

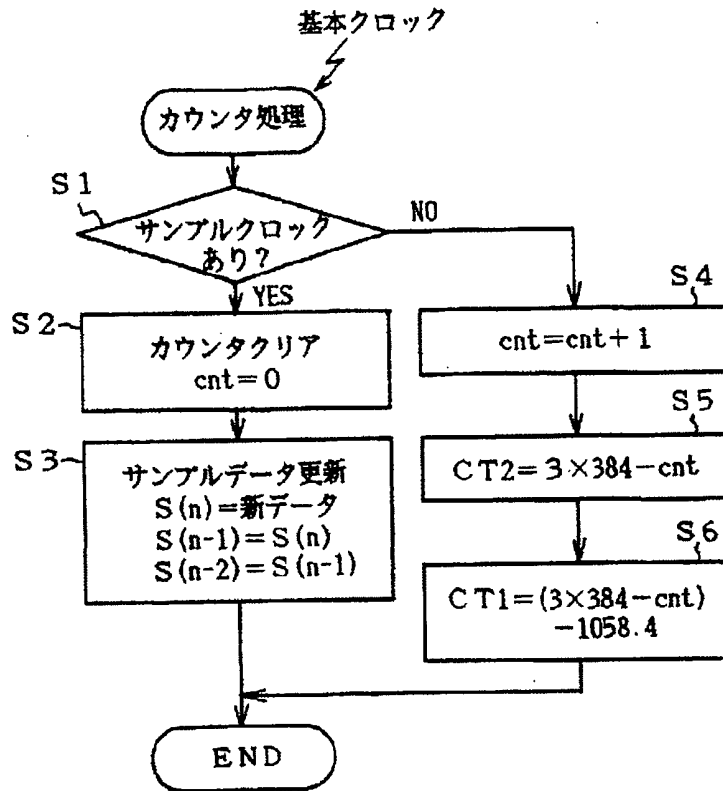
音源サンプル周波数を16KHz、48KHzとした場合の補間処理のタイムリ

グ説明図



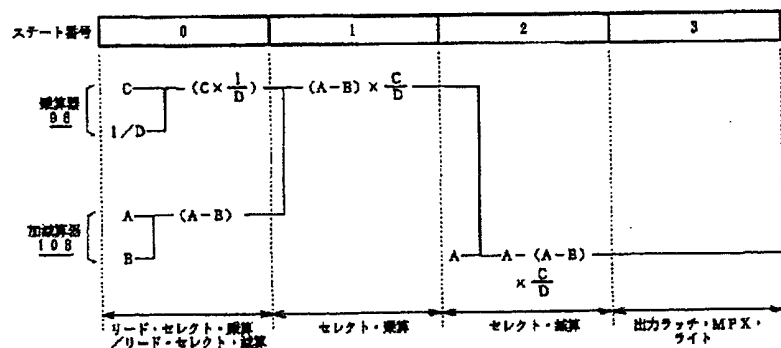
【図13】

図10のカウンタ処理の処理動作のフローチャート



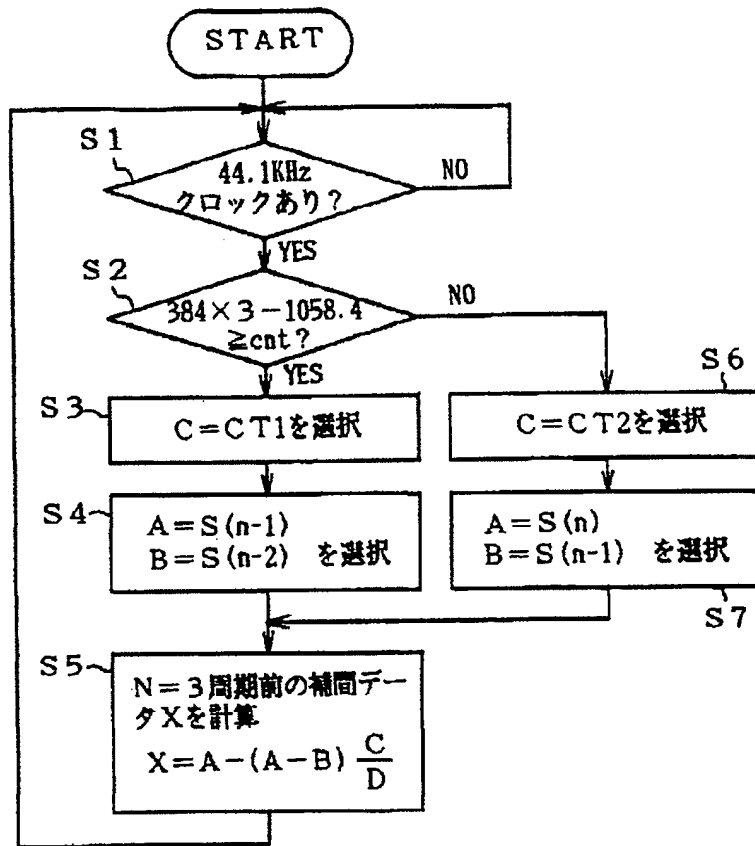
【図15】

図10の補間演算部の機能を実現する図5の回路の動作説明図



【図14】

図10のカウンタ値に基づく切替選択と補間計算を示したフローチャート



$$Ts \times N - Tu \geq cnt$$

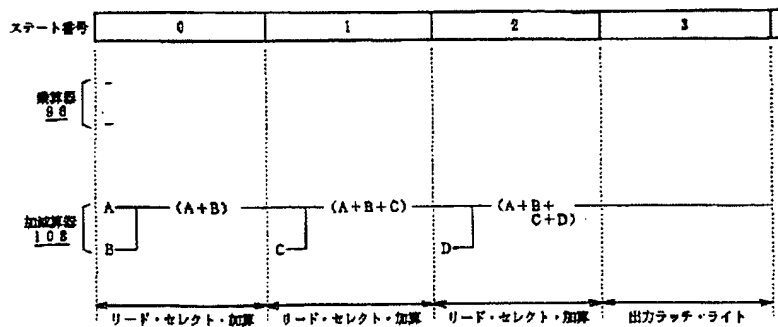
$D = Ts$; サンプルクロック周期

Tu ; 統一クロック周期

N ; $(Ts/Tu) + 1$ の整数部分

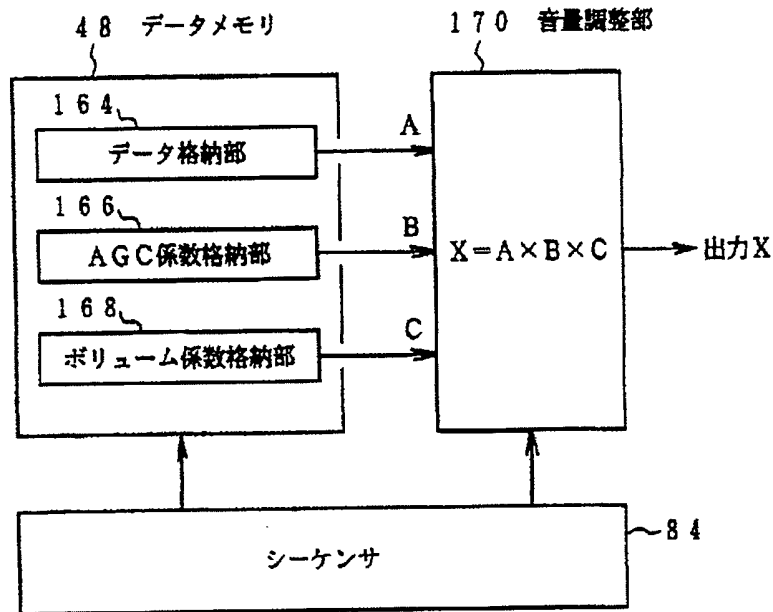
【図21】

図18のミキサ出力処理の機能を実現する図5の回路の動作説明図



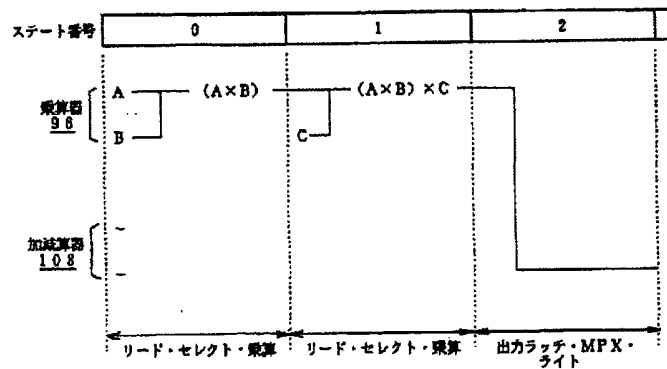
【図16】

図4の第1処理回路に設けられる音量調整の機能ブロック図



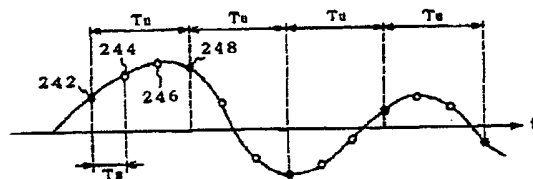
【図17】

図16の音量調整部の機能を実現する図5の回路の動作説明図



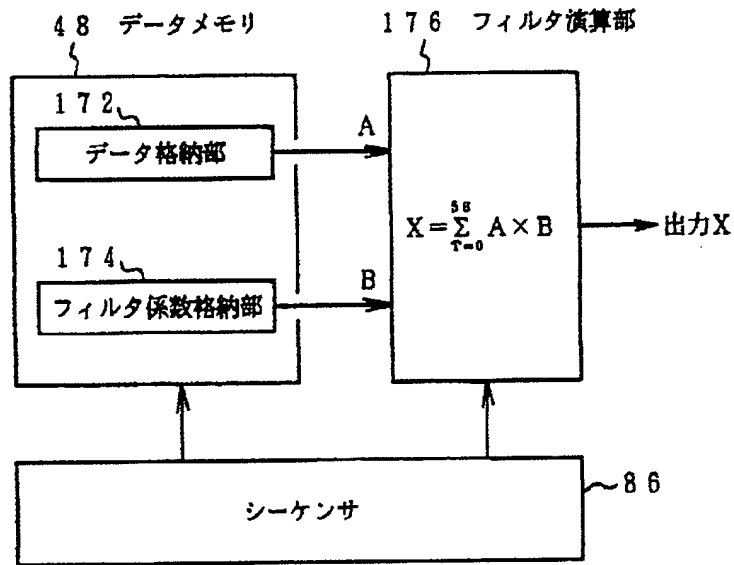
【図29】

図29の動作説明図



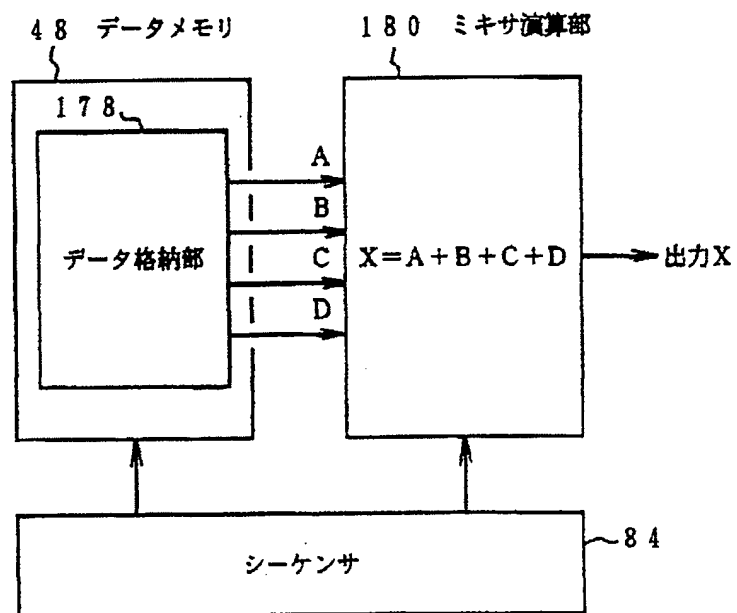
【図18】

図4の第2処理回路に設けられるフィルタ処理の機能ブロック図



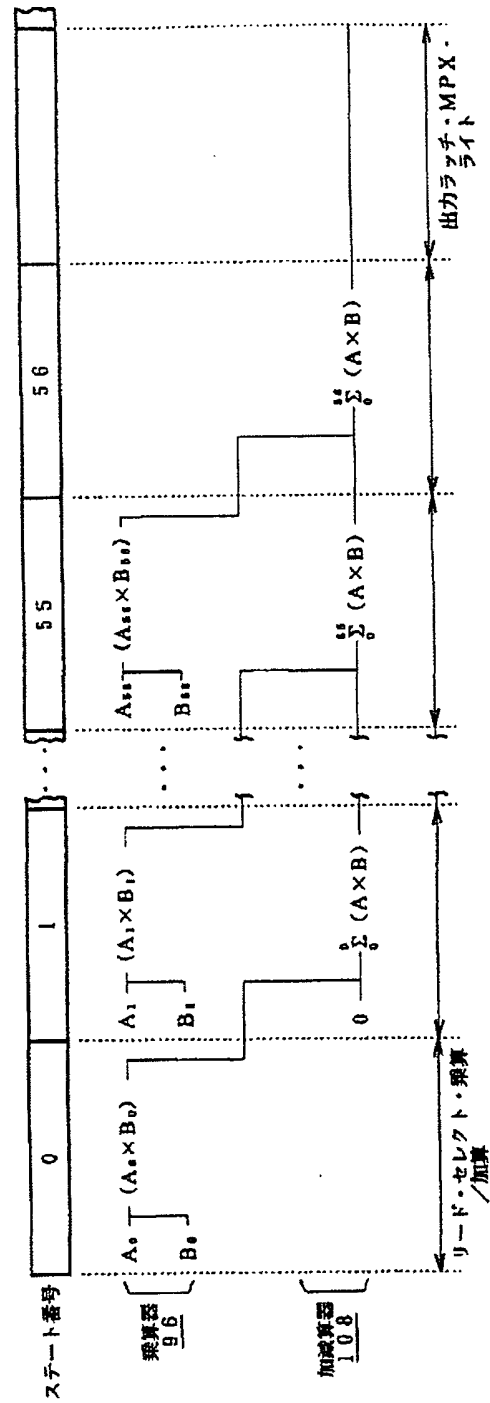
【図20】

図4の第1処理回路に設けられるミキサ出力処理の機能ブロック図

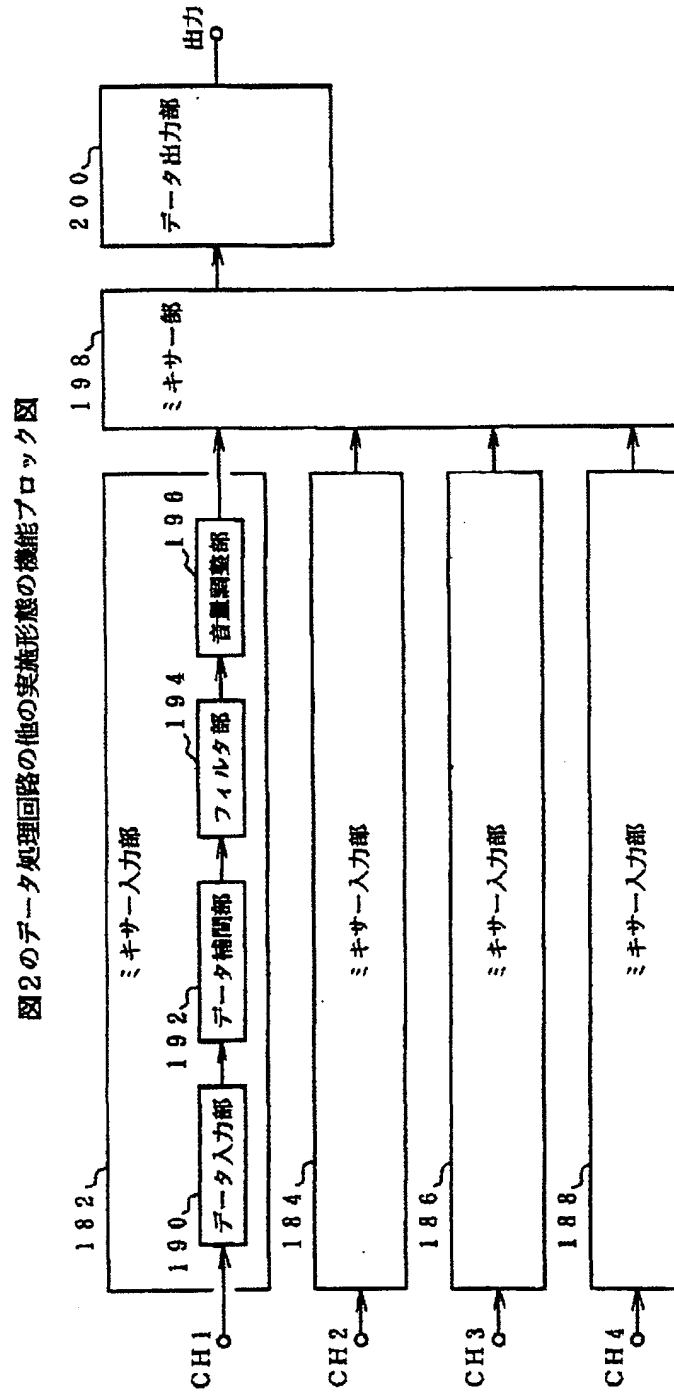


【図19】

図18のフィルタ処理の機能を実現する図5の回路の動作説明図

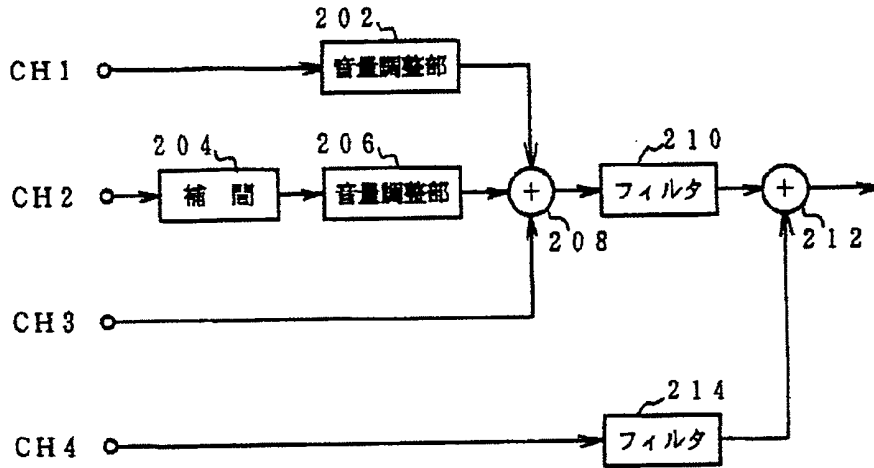


【図22】



【図23】

図2のデータ処理回路の他の実施形態の機能ブロック図



【図24】

【図34】

図2のデータ処理回路をプロセッサ処理に実現する動作環境のブロック図

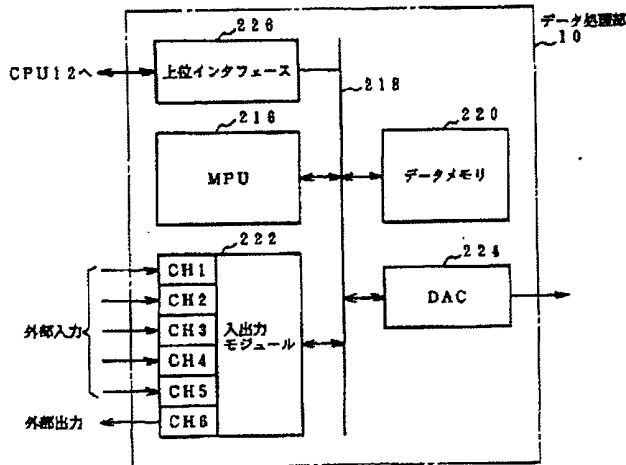
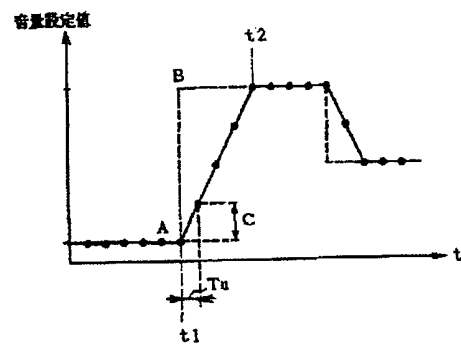
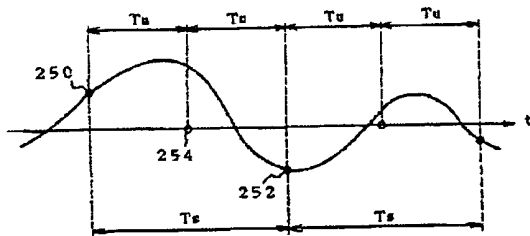


図33による音量調整のタイムチャート



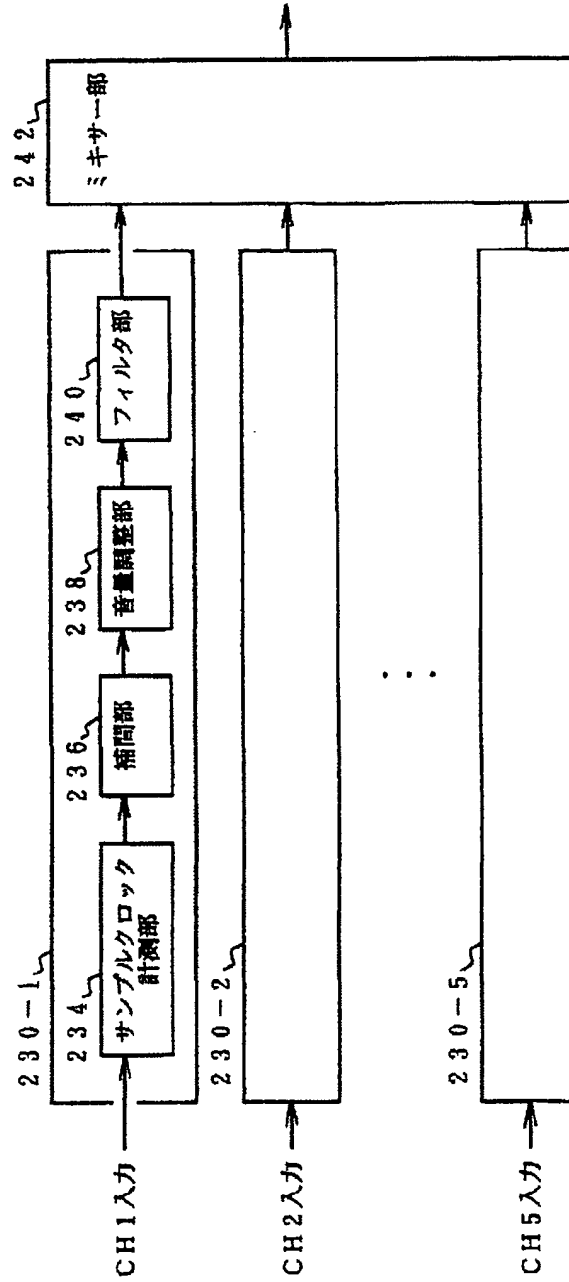
【図30】

ゼロ検出補償処理の説明図



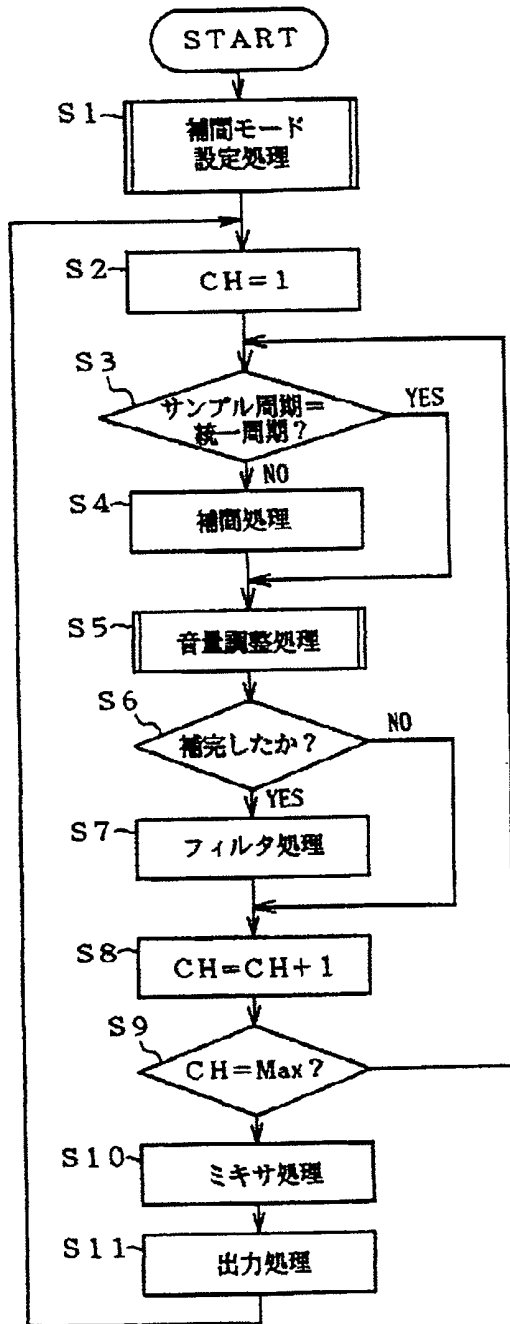
【図25】

図24のプロセッサで実現するデータ処理回路の機能ブロック図



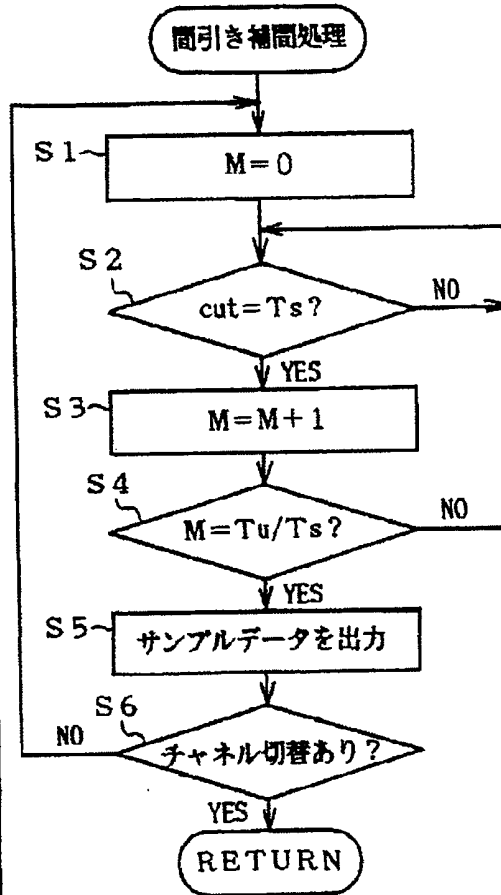
【図26】

図25の入力チャンネル処理のフローチャート



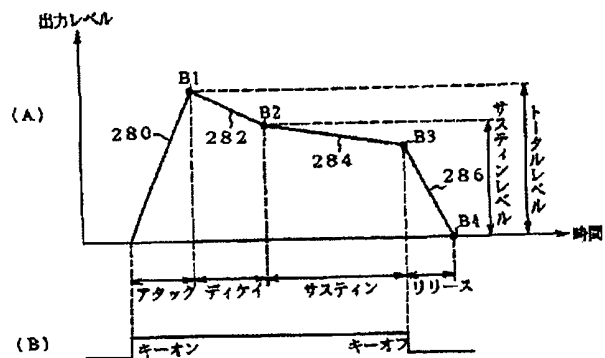
【図31】

図28の間引き処理のフローチャート



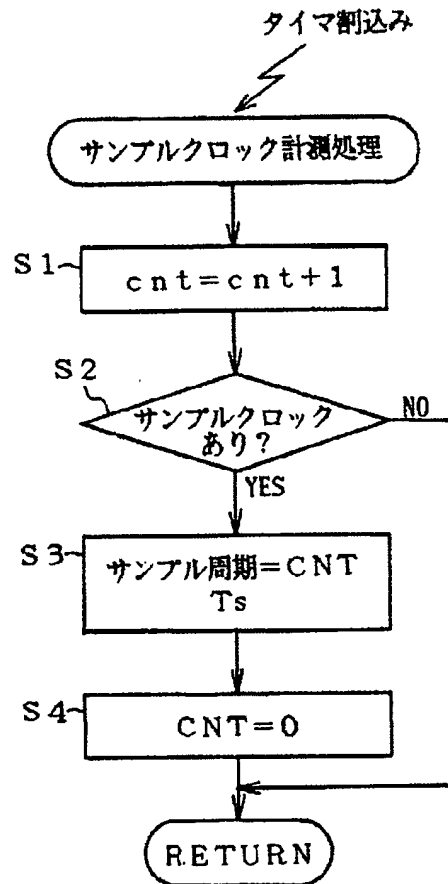
【図37】

図36のエンベロープ処理のタイムチャート



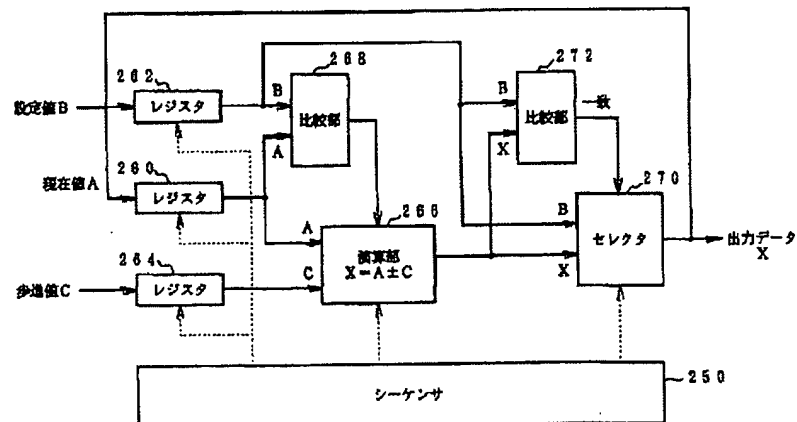
【図27】

図26のサンプルクロック計測処理のフローチャート



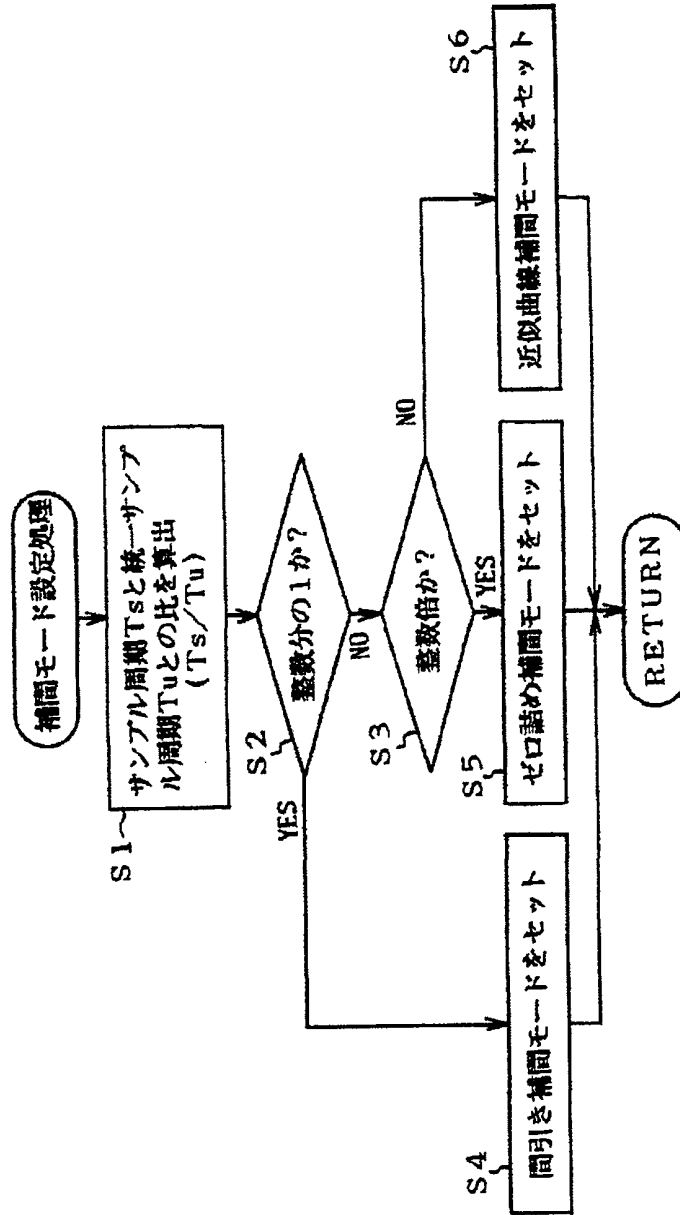
【図33】

本発明で用いる音量調整処理の機能ブロック図



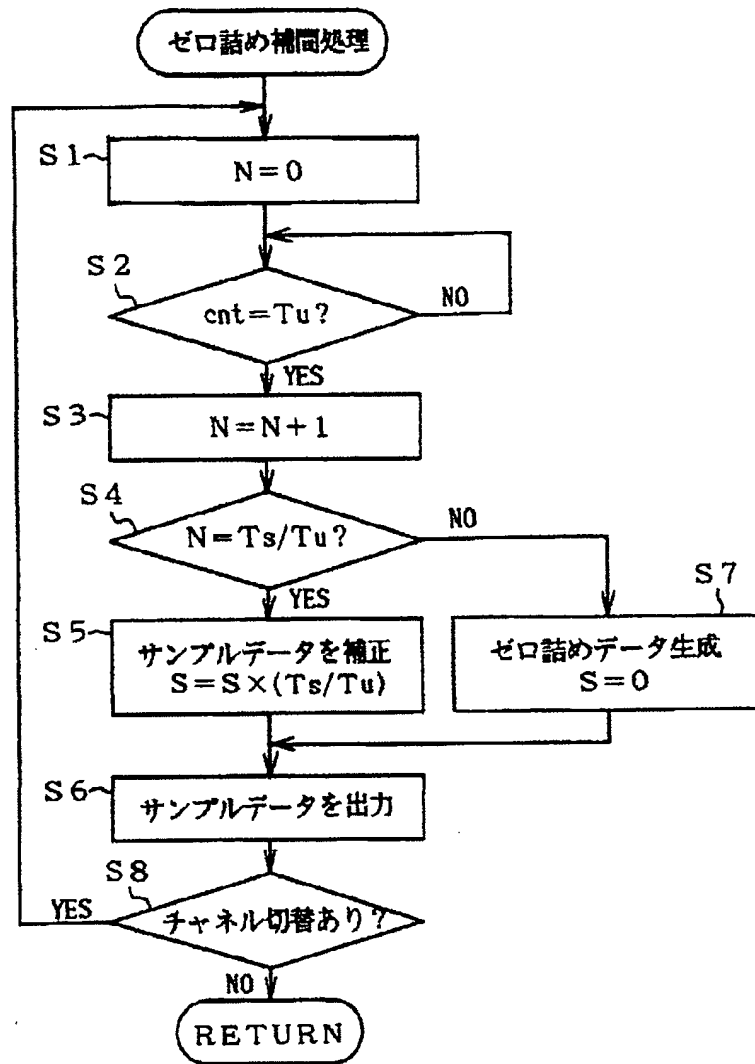
【図28】

図26の補間モード設定処理のフローチャート



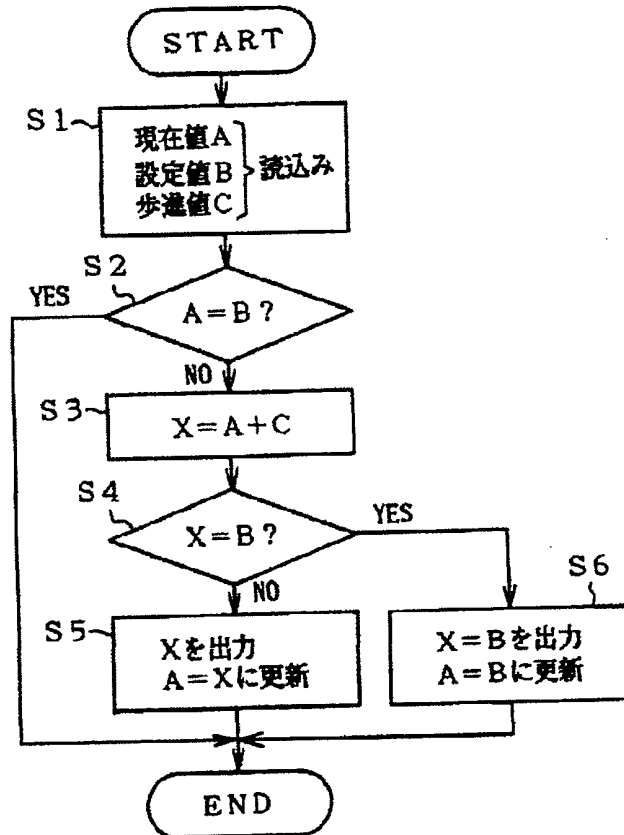
【図32】

図28のゼロ詰め補間処理のフローチャート



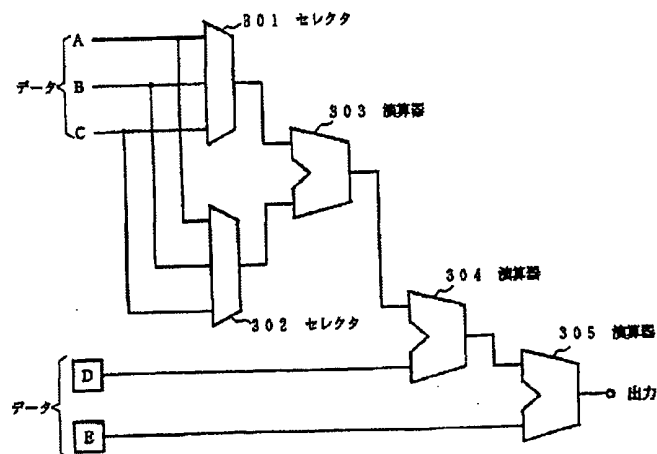
【図 35】

図 33 の音量調整処理のフローチャート



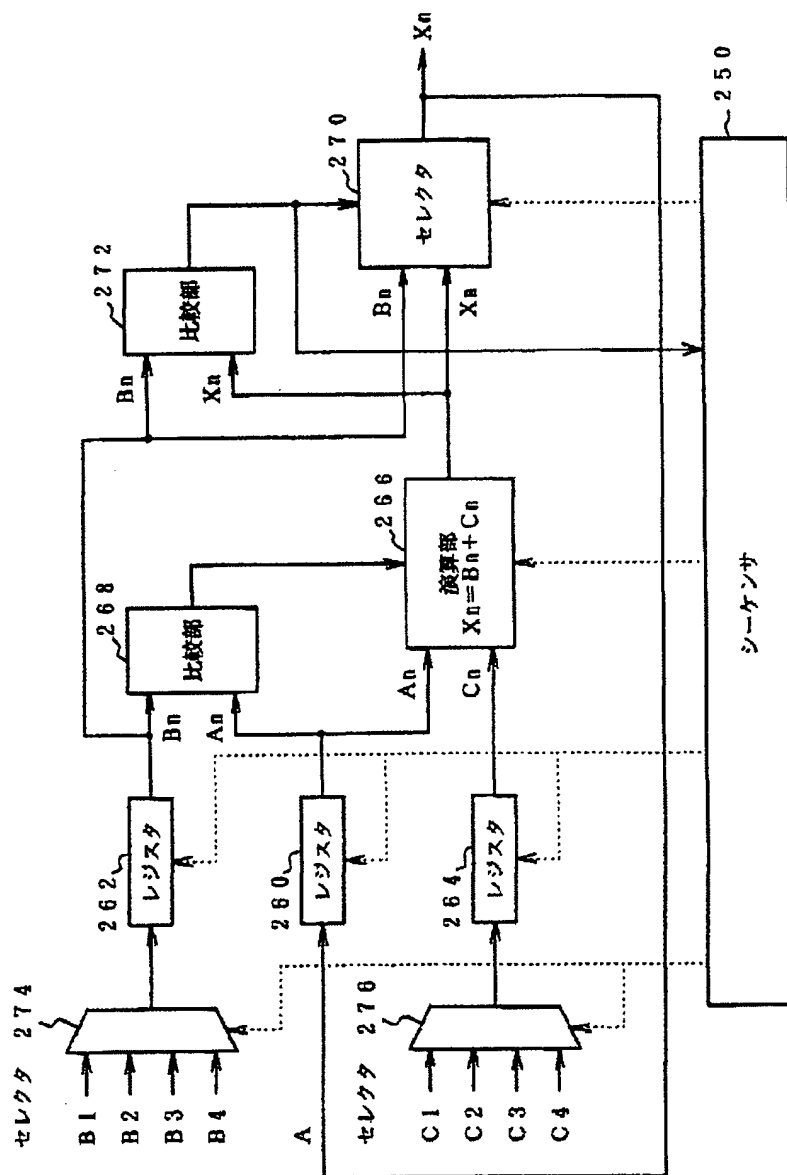
【図 39】

ランダムロジックで実現した従来装置の回路ブロック図



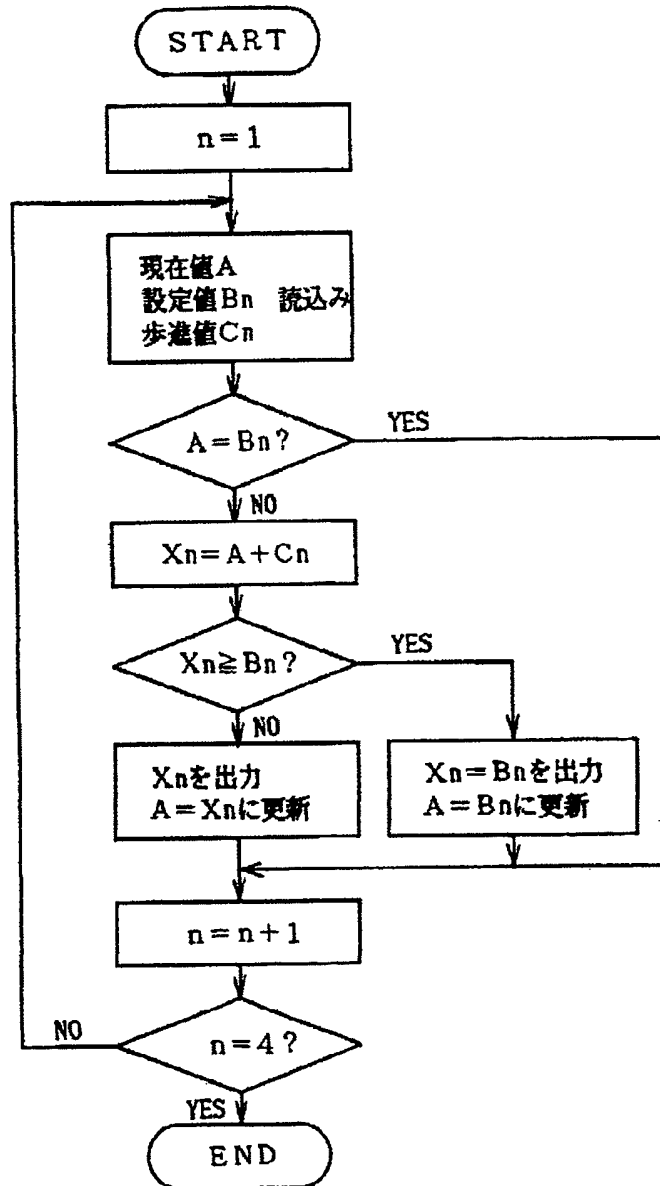
【図36】

図33の音量調整を応用したデジタル演奏機器のキー入力に伴うエンベロープ
処理の機能ブロック図



【図 38】

図 36 のエンベロープ処理のフローチャート



【手続補正書】

【提出日】平成 8 年 3 月 7 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 6

【補正方法】変更

【補正内容】

【請求項 6】請求項 5 記載のオーディオデータ処理装置

に於いて、前記データ処理回路は直線近似に基づいた前記補間データの演算のため、

前記（音源）サンプル周期毎に、少なくとも 3 つの連続するサンプルデータを保持する保持部と、

前記保持部に保持された少なくとも 3 つの連続するサンプルデータに基づいて演算が可能な遅延時間を有して、

前記補間時間位置を算出する時間位置演算部と、

前記保持部に保持されたサンプルデータと時間位置演算部で算出された補間時間位置に基づいて補間データを演算する補間演算部と、

を備えたことを特徴とするオーディオデータ処理装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項22

【補正方法】変更

【補正内容】

【請求項22】請求項21記載のオーディオデータ処理装置に於いて、前記第1及び第2処理回路の各々は、複数の入力データ中の2つを選択した後に乗算する乗算パイプライン回路と、複数の入力データ中の2つを選択した後に加算または減算する加減算パイプライン回路と、前記乗算パイプライン回路及び加減算パイプライン回路との間で、入力データの読出しと出力データの書き込みを行うデータメモリと、前記乗算パイプライン回路及び加減算パイプライン回路を、前記統一サンプル周期Tu内で動作させる制御パターンを基本クロック周期毎に格納した制御メモリと、前記統一サンプル周期Tu毎に前記基本クロックの計数を繰り返してアドレスを生成し、該アドレスにより前記制御メモリから動作パターンを読み出して前記乗算パイプライン回路と加減算パイプライン回路による複数の入力チャンネル分の処理を時分割に行わせるシーケンスカウンタと、を備えたことを特徴とするオーディオデータ処理装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項23

【補正方法】変更

【補正内容】

【請求項23】請求項22記載のオーディオデータ処理装置に於いて、前記乗算パイプライン回路は、複数の入力データの内の1つを選択する第1セクタと、複数の入力データの内の1つを選択する第2セクタと、前記第1セクタの出力を保持する第1レジスタと、前記第2セクタの出力を保持する第2レジスタと、前記第1レジスタと第2レジスタの値を乗算する乗算器と、前記乗算器の出力を保持する第1出力レジスタと、を備え、前記加減算パイプライン回路は、複数の入力データの内の1つを選択する第3セクタと、複数の入力データの内の1つを選択する第4セクタと、

と、

前記第1セクタの出力を保持する第3レジスタと、前記第2セクタの出力を保持する第4レジスタと、前記第3レジスタと第4レジスタの値を加算又は減算する加減算器と、前記加減算器の出力を保持する第2出力レジスタと、前記第1出力レジスタ又は前記第2出力レジスタを選択するマルチプレクサを備えたことを特徴とするオーディオデータ処理装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】請求項26

【補正方法】変更

【補正内容】

【請求項26】請求項23記載のオーディオデータ処理装置に於いて、フィルタ処理を行う前記第2処理回路の加減算パイプライン回路は、前記加減算器の出力を直接セクタ入力側に帰還接続したことを特徴とするオーディオデータ処理装置。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】請求項27

【補正方法】変更

【補正内容】

【請求項27】請求項26記載のオーディオデータ処理装置に於いて、前記第1及び第2の出力レジスタの入力側への帰還接続回路に、帰還データの一部をマスクするマスク回路を設けたことを特徴とするオーディオデータ処理装置。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】このように、異なる流れで設計された種々のデジタル音源は、それぞれ個別のサンプリング周波数で設計されているために、それぞれのサンプリング周波数に対応したデジタルアナログコンバータ(DAC)を用意する必要がある。例えば、PCM音源(ウェーブテーブル音源)と呼ばれる音源装置(ウエーブテーブルシンセサイズ)は、例えば8個の入力チャンネルがあり、それらの入力チャンネルに入力された同じサンプリング周期のオーディオデータを加算するものである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】近年、コンピュータ等では異なる複数のデジタル音源からのオーディオデータが用いられており、

各種オーディオデータに対して補間、音量調整、フィルタリング及びミキサ等の処理を、デジタルデータのまま対処できるデータ処理装置が要求されている。このように各種のオーディオ信号をデジタルデータで処理しようとする場合、音源が異なると音源サンプル周波数が異なるため、音源サンプル周波数を統一する必要がある。通常、音源側には出力サンプリング周波数を変更する手段はないので、コンピュータ側に設けたデジタルオーディオの処理装置で、44.1kHzや48kHz等の統一サンプル周波数に変換して出力する必要がある。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】データ処理回路10は直線近似に基づいた前記補間データの演算のため、音源サンプル周期毎に、少なくとも3つの連続するサンプルデータを保持する保持部と、保持部に保持された少なくとも3つの連続するサンプルデータに基づいて演算が可能な遅延時間を有して、補間時間位置を算出する時間位置演算部と、保持部に保持されたサンプルデータと時間位置演算部で算出された補間時間位置に基づいて補間データを演算する補間演算部と備える。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】また入力されたオーディオデータを統一サンプル周期 T_u のタイミングでリアルタイムに処理するために、統一サンプル周期 T_u の現在のタイミングよりも数周期前(N_d 周期以上前)のデータを求めることが必要であることによる。更に具体的には、データ処理回路10は、直線近似に基づいた補間データの演算のため、データ保持部で、入力データの音源サンプル周期 T_s 毎に、少なくとも連続する3つのサンプルデータ $S(n)$ 、 $S(n-1)$ 及び $S(n-2)$ を保持する。また遅延周期数設定部により、音源サンプル周期 T_s を統一サンプル周期 T_u で割った商に1を加えて、統一サンプル周期 T_u に達した際に、補間データを算出する過去の周期までの遅延周期数 N_d を設定する。更に、カウンタはサンプルクロックが得られる毎にクリアされ、所定の基本クロックを計数してカウント値 cnt を出力する。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】また加減算パイプライン回路は、複数の入

力データの内の1つを選択する第3セクタと、複数の入力データの内の1つを選択する第4セクタと、第3セクタの出力を保持する第3レジスタと、第4セクタの出力を保持する第4レジスタと、第3レジスタと第4レジスタの値を加算又は減算する加減算器と、加減算器の出力を保持する第2出力レジスタと、第1出力レジスタ又は第2出力レジスタを選択するマルチプレクサで構成される。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】データ処理部10の入力チャンネルCH3には、マイク入力端子28からの音声信号がアンプ30で増幅された後、ADコンバータ32でシリアルデジタルオーディオデータに変換されて入力される。データ処理部10の入力チャンネルCH4にはCDシリアルデータ入力端子34が接続され、光ディスクドライブによるCD装置で再生したデジタルオーディオ信号が入力される。このCDシリアルデータ入力端子34に対するデジタルオーディオ信号の音源サンプル周波数は、44.1kHzである。また前段にADPCMデコーダを設けてCD-ROM-XAから出力される18.9kHzまたは37.8kHzの音声信号も入力することができる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】データ処理部10の入力チャンネルCH5には、AUX入力端子35が接続される。AUX接続端子35からはビデオ、CDなどのデジタルオーディオ信号等が入力される。データ処理部10のチャンネルCH6は入力用のチャンネルと出力用のチャンネルをもち、それぞれFIFO40、42を介してバスインタフェースモジュール38と接続し、バスインタフェースモジュール38をバス18に接続している。バス18はメインメモリ14とDMAコントローラ16に接続され、DMAコントローラ16の制御によりメインメモリ14との間でデジタルオーディオデータのデータ転送を行うようにしている。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】更にチャンネルCH6の入力となるデータバスからのデジタルオーディオデータについては、FIFO40から例えば音源サンプル周波数8kHzで読み出

し、補間部66で44.1kHzに補間した後、音量調整部68の音量調整、フィルタ部70によるローパスフィルタ処理を経て、ミキサ部52に供給している。更に、チャンネルCH6の出力側については、ミキサ部52を介して得られた統一サンプル周波数44.1kHzのデジタルオーディオデータをフィルタ部72で元に戻した後、音量調整部74で音量調整し、更に逆補間部76で元の8kHzのサンプルデータに間引き処理等により戻し、最終的にL/Rミキサ78で混合し、出力用のFIFO42に出力する。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正内容】

【0069】L、Rのステレオデジタルオーディオデータの処理内容は全く同じになる。このため、前半のL処理サイクル124と後半のR処理サイクル126の制御メモリ118の制御内容は基本的に同じであり、入力のセレクトや制御メモリ48のリード/ライトが異なるだけである。このため図5のシーケンスカウンタ116にあっては、実際には統一クロックCL2でクリアした後に、基本クロックCL1を192カウントする処理を2回繰り返し、図7のL処理サイクル124とR処理サイクル126を実行することになる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】図7のL処理サイクル124は、下側に取り出して示すように、図4の第1処理回路80によるデータ処理128と第2処理回路82によるデータ処理130の並列処理となる。第1処理回路80によるデータ処理128は、例えばチャンネルCH2の補間処理、チャンネルCH3の音量調整処理、チャンネルCH4の音量調整処理、チャンネルCH5の補間処理、チャンネルCH5の音量調整処理、チャンネルCH6の補間処理、チャンネルCH6の音量調整、最後のミキサ処理の順番となる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

$$\{ (Nd \times Tu) - Ts \} \geq cnt \quad (7)$$

この比較演算は入力音源サンプル周波数16kHz、統一

$$\{ (3 \times 384) - 1058.4 \} \geq cnt \quad (8)$$

$$93.6 \geq cnt$$

となる。即ち、 $\Delta T = 93.6$ とカウンタ値cntを比較し、カウンタ値cntがサンプルタイミングにより0

*【0073】図8は、図5の乗算パイプライン回路80-1の基本的な動作のタイミングチャートである。このタイミングチャートは、セクタ88、90で同じ入力データAを選択してレジスタ92、94に格納した後に乗算器96で乗算して出力レジスタ98に格納する処理を例にとっている。即ち、統一クロック周期 $Tu = 384$ クロックをもつ図8(A)の基準クロックCL1に対し、図8(B)のシーケンスカウンタ116の値は16進で0~BFと変化する。図8(C)(E)(F)(H)(I)には、レジスタ92の入力とロード、レジスタ94の入力とロード、更にレジスタ98のロードが示されている。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】レジスタ92、94、98は、基本クロックCL1の立下がりで作動作する。図8(D)は、レジスタ92に対する入力となるセクタ88の入力データA、B、C、Dのセレクトビットであり、シーケンスカウンタのカウント値1、3、5、7で順番にセレクトされて、レジスタ92に図8(E)に示すようにロードされる。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0080

【補正方法】変更

【補正内容】

【0080】セクタ158は切替制御部156により切り替えられ、補間演算部136に対する補間時間位置Cとして第1時間位置CT1または第2時間位置CT2を供給する。同時に、切替制御部156はセクタ146、148を選択する。即ち、第1時間位置CT1を選択した場合には、セクタ146、148によりセクタ142、144からの1つ前のデータS(n-1)と2つ前のデータS(n-2)を補間演算部136に新データA、旧データBとして入力する。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0090

【補正方法】変更

【補正内容】

*【0090】

にクリアされて $\Delta T = 93.6$ に増加するまでの間は、図10のセクタ158により第1時間位置CT1を選

択し、且つセクタ146, 148により1つ前のデータS(n-1)と2つ前のデータS(n-2)を新旧データA, Bとして選択させ、補間演算部136に補間演算を行わせる。

【手続補正20】

【補正対象書類名】明細書

*

A=S(n-1)
B=S(n-2)
C=CT1
D=Ts=1058.4

$$X=S(n-1) - \{S(n-1) - S(n-2)\} \cdot CT1 / 1058.4 \quad (9)$$

具体的には、例えば図12(A)の現在時刻t+2における3周期前の時刻t-1の補間データの演算である。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正内容】

【0098】この乗算器96側の乗算と並行して、加減算器108側でセクタ100, 102がそれぞれ新データAと旧データBをセレクトして、レジスタ104, 106を介して加減算器108に与え、このとき加減算器108は減算動作にセットされていることから減算(A-B)を行う。次のステート番号1では、乗算器96側の乗算(C×1/D)と加減算器108側の減算結果(A-B)をセクタ88, 90で選択して乗算器96に入力し、両者の乗算結果(A-B)×(C/D)を求める。次のステート番号2にあつては、乗算器96側の乗算結果と新データAの選択結果を加減算器で減算して補間データXを算出する。最後のステート番号3にあつては、加減算器108の演算器即ち補間データXをシフト機能付きレジスタ110にシフトした後、マルチプレクサ112で選択し、データメモリ48に書き込むライト動作を行う。

(2) 音量調整処理

図16は、図4のデータ処理部10の第1処理回路80側で行われる音量調整処理の機能ブロックである。この音量調整処理は、データメモリ48のデータ格納部164に格納されている音量調整対象とするオーディオデータを入力データAとして音量調整部170に読み込む。またデータメモリ48のAGC係数格納部166に格納されている予め定めたレベルに調整するためのAGC係数を入力データBとして読み込む。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0113

【補正方法】変更

【補正内容】

【0113】図24において、データ処理部10にはM

*【補正対象項目名】0091

【補正方法】変更

【補正内容】

【0091】これをまとめると次のようになる。

93. $6 \geq cnt$ の時

PU216が設けられ、そのバス218に対しデータメモリ220、外部入出力のためのチャンネルCH1~CH6を備えた入出力モジュール222、処理済みデジタルオーディオ信号をアナログオーディオ信号に変換して出力するDAコンバータ224、図2の上位のCPU12に対する上位インタフェース226を設けている。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0129

【補正方法】変更

【補正内容】

【0129】そこで図33の実施形態にあつては、急激な音量変化値のオーディオ波形の不連続性によるノイズを低減させるように音量制御を行うことを特徴とする。図33は、まず入力段にレジスタ260, 262, 264が設けられる。レジスタ260には出力データXが帰還されて現在値Aが保持される。レジスタ262にはボリューム調整に伴う外部からの音量設定値Bが保持される。更にレジスタ264には、予め定めたシーケンサ250による統一サンプル周波数44.1kHzの処理周期Tuの間に变化させる歩進値Cが保持される。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正内容】

【0130】レジスタ260の現在値Aとレジスタ264の歩進値Cは演算部266に与えられ、シーケンサ250による処理周期Tuごとに $X = A \pm C$ の音量調整演算を行う。またレジスタ260の現在値Aと外部のボリュームにより設定された音量設定値B(目標値)は、比較部268で比較される。比較部268の比較結果は、演算部266における歩進値Cの加算または減算を決める。設定値Bが現在値Aより大きければ、演算部266は $X = A + C$ の加算を行う。また設定値Bが現在値Aより小さければ、演算部266は $X = A - C$ の減算を行う。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0139

【補正方法】変更

【補正内容】

【0139】比較部272で設定値B1に達したことが判別されると、シーケンサ250に一致出力が与えら

れ、次のディケイモードの音量設定値B2と歩進値C2がセクタ274、276により選択される。以下同様に、サステインモード及びリリースモードについて同様な処理を繰り返す。結果として図37(B)のキーオンからキーオフに対応して、図37(A)のエンベロープ波形を発生することができる。

フロントページの続き

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/02	6 6 1		G 1 0 H 7/00	5 2 1 T

(72)発明者 宮台 智治
 神奈川県横浜市港北区新横浜二丁目15番16
 株式会社富士通コンピュータテクノロジ
 内

THIS PAGE BLANK (USPTO)